

(11) Publication number: **2000293988 A**

Generated Document

(21) Application number: 11097901

(51) Intl. Cl.: G11C 14/00 G11C 11/22

(22) Application date: 05.04.99

(30) Priority:		(71) Applicant: NEC CORP
(43) Date of application publication:	20.10.00	(72) Inventor: KATO ARIMITSU
(84) Designated contracting states:		(74) Representative:

(57) Abstract:

SOLUTION: Data are read out from a storage element by applying the prescribed voltage to the storage element (point E or point F), next, '1' is written by applying voltage of an opposite polarization to read-out voltage to the storage element (point K), next, voltage by which polarization quantity of the storage element is half or more of polarization quantity when '0' is written in the storage element and polarization quantity of the storage element is half or less of polarization quantity when '1' is written is applied to the storage element (point G). Thereby, a polarization state of the storage element becomes a state in which polarization is not performed (point H). And data are read out from the storage element by applying read-out voltage to the storage element in this polarization state (point I), this data are used as reference voltage and read out data are compared with the reference voltage, and data written in the storage element are discriminated based on the compared result.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-293988
(P2000-293988A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

G 1 1 C 14/00
11/22

G 1 1 C 11/34
11/22

3 5 2 A 5 B 0 2 4

審査請求 有 請求項の数22 O L (全 39 頁)

(21) 出願番号 特願平11-97901

(22) 出願日 平成11年4月5日 (1999. 4. 5)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 有光

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

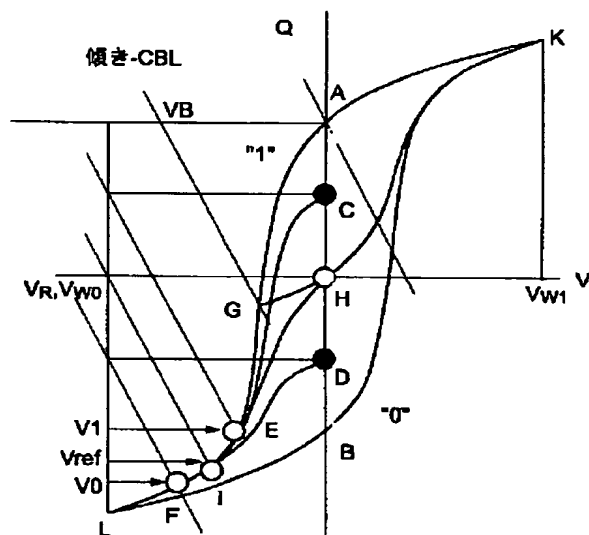
Fターム (参考) 5B024 AA15 BA02 BA21 BA27 CA07

(54) 【発明の名称】 半導体装置及びその駆動方法

(57) 【要約】

【課題】 残留分極量が減少した場合においても正確にデータを読み出す。

【解決手段】 記憶素子に対して所定の読み出し電圧を印加して記憶素子からデータを読み出し (点Eまたは点F)、次に、記憶素子に対して読み出し電圧とは逆極性の電圧を印加して“1”を書き込み (点K)、次に、記憶素子に対して、記憶素子の分極量が記憶素子に“0”が書き込まれた場合の半分以上であり、かつ“1”が書き込まれた場合の半分以上となるような電圧を印加し (点G)、それにより、記憶素子の分極状態をほとんど分極されていない状態とする (点H)。そして、この分極状態の記憶素子に対して読み出し電圧を印加して記憶素子からデータを読み出し (点I)、該データを参照電圧として該参照電圧と読み出されたデータとを比較し、該比較結果に基づいて記憶素子に書き込まれたデータを判別する。



【特許請求の範囲】

【請求項1】 分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、
前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、
前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、
前記記憶素子に対して、前記記憶素子の分極量が前記記憶素子に“0”が書き込まれた場合の半分以上であり、かつ“1”が書き込まれた場合の半分以上となるような電圧を印加する第3の処理と、
前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第4の処理と、
前記第1の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第5の処理とを順次行うことを特徴とする半導体装置の駆動方法。

【請求項2】 分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、
前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、
前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、
前記記憶素子に対して、前記記憶素子の分極量が前記記憶素子に“0”が書き込まれた場合の半分以上であり、かつ“1”が書き込まれた場合の半分以上となるような電圧を印加する第3の処理と、
前記記憶素子に対して、前記読み出し電圧とは絶対値が等しく、かつ逆極性の電圧を印加して前記記憶素子からデータを読み出す第4の処理と、
前記第1の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第5の処理とを順次行うことを特徴とする半導体装置の駆動方法。

【請求項3】 分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、
前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、
前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、
前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第3の処理と、
前記第1の処理にて読み出されたデータと前記第3の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第4の処理とを順次行うことを特徴とする半導体装置の駆動方法。

【請求項4】 請求項3に記載の半導体装置の駆動方法

において、

前記第1の処理または前記第3の処理にて読み出されたデータを、予め決められたオフセット量に基づいてその電圧をオフセットさせることを特徴とする半導体装置の駆動方法。

【請求項5】 分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、
前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、
前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、
前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第3の処理と、
前記記憶素子に対して前記読み出し電圧と同極性の電圧を印加する第4の処理と、
前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第5の処理と、
前記第1の処理にて読み出されたデータと前記第3の処理にて読み出されたデータと前記第5の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第6の処理とを順次行うことを特徴とする半導体装置の駆動方法。

【請求項6】 請求項5に記載の半導体装置の駆動方法において、

前記第3の処理にて読み出されたデータと前記第5の処理にて読み出されたデータとを所定の比率によって重み付けして積算し、該積算されたデータと前記第1の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別することを特徴とする半導体装置の駆動方法。

【請求項7】 分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、
前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、
前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、
前記記憶素子に対して、前記読み出し電圧とは絶対値が等しく、かつ逆極性の電圧を印加して前記記憶素子からデータを読み出す第3の処理と、
前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第4の処理と、
前記第1の処理にて読み出されたデータと前記第3の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第5の処理とを順次行うことを特徴とする半導体装置の駆動方法。

【請求項8】 請求項7に記載の半導体装置の駆動方法において、

前記第3の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとを所定の比率によって重み付けして積算し、該積算されたデータと前記第1の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別することを特徴とする半導体装置の駆動方法。

【請求項9】 分極状態にヒステリシス特性を具備し、データが書き込まれる記憶素子と、該記憶素子から読み出されたデータを複数の端子に出力するスイッチング素子と、該スイッチング素子から出力されたデータに基づいて記憶素子に書き込まれたデータを判別する判別機能素子とを有し、前記記憶素子に対して複数回の読み出し動作が行われ、前記判別機能素子は、該複数の読み出し動作によって読み出された複数のデータに基づいて前記記憶素子に書き込まれたデータを判別する半導体装置において、

前記記憶素子から読み出され前記スイッチング素子を介して出力された複数のデータのうち、2つ以上のデータが入力され、該2つ以上のデータを予め決められた比率によって重み付けして積算し、1つのデータとして出力する重み付け電圧積算素子を有し、前記判別機能素子は、前記重み付け電圧積算素子から出力されたデータと前記スイッチング素子から出力され、前記重み付け電圧積算素子に入力されないデータとに基づいて、前記記憶素子に書き込まれたデータを判別することを特徴とする半導体装置。

【請求項10】 請求項9に記載の半導体装置において、前記重み付け電圧積算素子は、複数の入力端子を有し、該複数の端子のそれぞれに入力されたデータを重み付けして積算することを特徴とする半導体装置。

【請求項11】 請求項9に記載の半導体装置において、前記重み付け電圧積算素子は、1つの入力端子を有し、該1つの入力端子に異なるタイミングで入力されたデータを重み付けして積算することを特徴とする半導体装置。

【請求項12】 請求項9乃至11のいずれか1項に記載の半導体装置において、前記比率は、入力されたデータのうち読み出しにより変化する分極状態の変化量が最大となるデータに対する重み付け量が最も大きくなるように設定されていることを特徴とする半導体装置。

【請求項13】 請求項9乃至12のいずれか1項に記載の半導体装置において、前記記憶素子は、強誘電体容量を有することを特徴とする半導体装置。

【請求項14】 請求項9乃至12のいずれか1項に記載の半導体装置において、前記記憶素子は、強誘電体容量と少なくとも1つのトラ

ンジスタとからなることを特徴とする半導体装置。

【請求項15】 請求項14に記載の半導体装置において、

前記強誘電体容量は、前記トランジスタのソースに接続されていることを特徴とする半導体装置。

【請求項16】 請求項14に記載の半導体装置において、

前記強誘電体容量は、前記トランジスタのドレインに接続されていることを特徴とする半導体装置。

【請求項17】 請求項14に記載の半導体装置において、

前記強誘電体容量は、前記トランジスタのゲートに接続されていることを特徴とする半導体装置。

【請求項18】 請求項9乃至12のいずれか1項に記載の半導体装置において、

前記記憶素子は、ゲート絶縁膜の一部もしくは全部が強誘電体材料であるトランジスタを有することを特徴とする半導体装置。

【請求項19】 請求項9乃至18のいずれか1項に記載の半導体装置において、

前記スイッチング素子は、少なくとも1つのトランジスタからなることを特徴とする半導体装置。

【請求項20】 請求項9乃至19のいずれか1項に記載の半導体装置において、

前記判別機能素子は、2入力差動センスアンプであることを特徴とする半導体装置。

【請求項21】 請求項9乃至20のいずれか1項に記載の半導体装置において、

前記重み付け電圧積算素子は、複数のトランジスタを有し、該複数のトランジスタを用いた容量の組合せによって前記比率が決められていることを特徴とする半導体装置。

【請求項22】 請求項9乃至21のいずれか1項に記載の半導体装置において、

前記記憶素子からデータが読み出されるビット線の容量は、前記記憶素子に“1”が書き込まれた場合の前記記憶素子の残留分極量を Q_r 、前記記憶素子の抗電圧を V_c とした場合、 $Q_r/V_c/1.5$ 以上であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその駆動方法に関し、特に、ヒステリシス特性をデータ記憶に用いた半導体装置及びその駆動方法に関する。

【0002】

【従来の技術】図22は、従来の半導体装置の一構成例を示す回路図であり、2行2列のメモリアレイを示している。

【0003】本従来例は図22に示すように、不揮発性半導体メモリを構成するために用いられるものであり、

強誘電体容量素子101a~101dと、ドレインが強誘電体容量素子101a~101dの一方の電極とそれぞれ接続されたスイッチングトランジスタ102a~102dとからなる複数のメモリセル100a~100dがアレイ状に配置されて構成されている。

【0004】また、アレイ状に配置されたメモリセル100a~100dのそれぞれは、ワード線WL1, WL2、ビット線BL1, BL2及びプレート線PL1, PL2によってそれぞれ接続されている。

【0005】また、周辺回路として、複数のメモリセル100a~100dのうち操作を行うメモリセルを選択するためにワード線WL1, WL2を選択する回路（不図示）と、メモリセル100a~100d内のデータをビット線BL1, BL2に読み出す回路（不図示）と、ビット線BL1, BL2に読み出されたデータを判別する回路とが設けられている。

【0006】また、ワード線WL1はスイッチングトランジスタ102a, 102bのゲートに、ワード線WL2はスイッチングトランジスタ102c, 102dのゲートに、ビット線BL1はスイッチングトランジスタ102a, 102cのソースに、ビット線BL2はスイッチングトランジスタ102b, 102dのソースに、プレート線PL1は強誘電体容量101a, 101bのスイッチングトランジスタ102a, 102bが接続されていない側の電極に、プレート線PL2は強誘電体容量101c, 101dのスイッチングトランジスタ102c, 102dが接続されていない側の電極にそれぞれ接続されている。

【0007】また、ビット線BL1, BL2の一端には、ゲートに外部からの制御信号が入力される制御線BCが接続されたビット線制御トランジスタ103a, 103bがそれぞれ接続されており、制御線BCを用いてビット線制御トランジスタ103a, 103bがON/OFF制御されることにより、ビット線BL1, BL2をフローティング状態とすることが可能となっている。

【0008】また、ビット線BL1, BL2に読み出されたデータを判別する回路においては、一般的に2入力の差動センスアンプ104a, 104bが用いられる。差動センスアンプ104a, 104bは、各ビット線BL1, BL2の終端にそれぞれ設けられ、一方の入力端子にはビット線BL1, BL2がそれぞれ接続され、他方の入力端子には、ビット線BL1, BL2に読み出されたデータが“0”か“1”かを判別するための参照電圧Vrefを与えるための配線REFがそれぞれ接続されている。

【0009】以下に、上記のように構成された半導体装置の駆動方法について説明する。

【0010】まず、メモリセル100a~100dに対するデータの書き込み方法について、ワード線WL1に接続されたメモリセル100a, 100bにデータを書

き込む場合を例に挙げて説明する。

【0011】まず、プレート線PL1を電源電圧の半分を設定する。例えば、電源電圧が5Vであれば2.5Vに設定する。

【0012】次に、各ビット線BL1, BL2のそれぞれに対して、メモリセル100a, 100bに書き込むデータに相当する電圧、例えば、“0”であれば0V、“1”であれば5Vを印加する。

【0013】次に、ワード線WL1のみを操作し、それにより、スイッチングトランジスタ102a, 102bをON状態にする。

【0014】すると、メモリセル100a, 100b内の強誘電体容量素子101a, 101bに+2.5Vまたは-2.5Vの電圧がかかり、それにより、該強誘電体容量素子101a, 101bが書き込むデータに応じて異なる方向に分極する。

【0015】その後、ビット線BL1, BL2の電位を2.5Vに設定するとともに、ワード線WL1によりスイッチングトランジスタ102a, 102bをOFF状態にして書き込みが完了する。

【0016】次に、メモリセル100a~100dからのデータの読み出し方法について、ワード線WL1に接続されたメモリセル100a, 100bからデータを読み出す場合を例に挙げて説明する。

【0017】まず、ビット線BL1, BL2を0Vにプリチャージし、その後、制御線BCによりビット線制御トランジスタ103a, 103bをOFF状態にし、それにより、ビット線BL1, BL2をフローティング状態にする。

【0018】次に、プレート線PL1を2.5Vとしたまま、ワード線WL1を操作し、それにより、スイッチングトランジスタ102a, 102bをON状態にする。

【0019】すると、強誘電体容量101a, 101bとビット線BL1, BL2との容量の直列構造にそれぞれ2.5Vの電位がかかり、強誘電体容量素子101a, 101bの分極方向により異なる値となるデータがビット線BL1, BL2に読み出される。

【0020】参照電圧Vrefとして、ビット線BL1, BL2に読み出されたデータが“0”の場合のビット線BL1, BL2の電位と“1”の場合のビット線BL1, BL2の電位との中間となる電圧を配線REFに与えておき、その後、差動センスアンプ104a, 104bを動作させることにより、差動センスアンプ104a, 104bにおいて、該参照電圧Vrefとビット線BL1, BL2の電位とが比較され、データが判別される。

【0021】ここで、上述したような従来の半導体装置においては、強誘電体容量101a~101dにおいて、“1”と“0”とのいずれか一方のデータが書き込

まれ続けた場合にヒステリシス特性がシフトするインプリントと呼ばれる特性変化が生じる。

【0022】図23は、図22に示した半導体装置の特性変化を示す図であり、データ“1”と“0”の出力信号の経時変化を示している。なお、図中実線は、メモリセルに書き込まれたデータが適度に“1”と“0”とにばらついている場合のメモリセルから出力される信号（出力電圧）の経時変化を示しており、図中破線は、メモリセルに書き込まれたデータが“1”と“0”とのいずれか一方に偏っている場合のメモリセルから出力される信号（出力電圧）の経時変化を示している。

【0023】図23に示すように、メモリセルに書き込まれたデータが適度に“1”と“0”とにばらついている場合は、該メモリセルから読み出されたデータは“1”、“0”にそれぞれ対応した電圧となり、時間とともに変化することはないが、メモリセルに書き込まれたデータが“1”と“0”とのいずれか一方に偏っている場合は、該メモリセルから読み出されたデータは、“1”、“0”のいずれの場合においてもその出力電圧が時間とともに低下してしまう。

【0024】そのため、参照電圧Vrefを固定して与えた場合、データ“1”の出力電圧が時間とともに低下して参照電圧Vrefよりも低くなってしまふ虞れがあり、その場合、メモリセルに書き込まれたデータを読み出すことができなくなってしまう。

【0025】そこで、メモリセル毎に参照電圧Vrefを作成し、それにより、データ“1”を読み出す際の出力電圧が参照電圧Vrefよりも低くなってしまふことを防ぐ半導体装置が考えられている。

【0026】図24は、従来の半導体装置の他の構成例を示す回路図であり、米国特許第5086412号にて提案されたデータ判別回路を示している。

【0027】本従来例は図24に示すように、ソースがビット線BL1に接続されたトランジスタ201a、201bと、トランジスタ201a、201bのドレインにそれぞれ接続され、トランジスタ201a、201bのドレインに出力された電位を保持出力するサンプリングホールド回路202a、202bと、ソースがサンプリングホールド回路202a、202bにそれぞれ接続されたトランジスタ203a、203bと、トランジスタ203a、203bのドレインが2つの入力にそれぞれ接続された差動センスアンプ204とから構成されている。

【0028】また、付加回路として、ドレインがビット線BL1接続され、ソースが接地されたトランジスタ205と、差動センスアンプ204の出力とビット線BL1との間に接続され、差動センスアンプ204から出力されたデータをメモリセル（不図示）に書き込む再書き込み回路206とが設けられている。

【0029】以下に、上記のように構成されたデータ判

別回路を図22に示した半導体回路に用いた場合のデータの読み出し動作について、図22に示したメモリセル100aからデータを読み出す場合を例に挙げて説明する。

【0030】初期状態としては、全てのトランジスタ201a、201b、203a、203b、205をOFF状態とするとともに、再書き込み回路206を停止状態とする。また、プレート線PL1電位を0Vとする。

【0031】まず、トランジスタ205をON状態にし、それにより、ビット線BL1を0Vに設定した後、トランジスタ205をOFF状態にし、それにより、ビット線BL1をフローティング状態とする。

【0032】次に、トランジスタ201aをON状態とするとともに、ワード線WL1を操作してメモリセル100aのスイッチングトランジスタ102aをON状態にする。

【0033】その後、プレート線PL1にパルス電圧を印加すると、ビット線BL1は、メモリセル100aから読み出されたデータに基づいた電位となる。

【0034】ある時間経過後、トランジスタ201aをOFF状態にし、サンプリングホールド回路202aを動作させ、それにより、ビット線BL1の電位をサンプリングホールド回路202aに保持する。

【0035】次に、トランジスタ205を再度ON状態にし、それにより、ビット線BL1を0Vに設定し、その後、トランジスタ205をOFF状態に戻す。

【0036】次に、トランジスタ201bをON状態とするとともに、メモリセル100aスイッチングトランジスタ102aをON状態にする。

【0037】次に、プレート線PL1にパルス電圧を印加し、ある時間経過後、トランジスタ201bをOFF状態にし、サンプリングホールド回路202bを動作させ、それにより、ビット線BL1の電位をサンプリングホールド回路202bに取り込む。

【0038】ここで、2回目の読み出し時のデータ、すなわち、サンプリングホールド回路202bに取り込まれる電位においては、元のデータがいかなる値であっても、強誘電体容量101aが1回目の読み出し動作によってプレート線PL1側に電圧がかかる方向に分極されているため、データ“0”に相当する電位となる。

【0039】次に、トランジスタ203a、203bをON状態にし、それにより、サンプリングホールド回路202a、202bに取り込まれたデータを差動センスアンプ204に対して出力する。

【0040】その後、差動センスアンプ204を動作させる場合、差動センスアンプ204において、サンプリングホールド回路202aから出力されたデータとサンプリングホールド回路202bから出力されたデータとの差に基づいて、メモリセル100aから読み出されたデータが判別され、判別結果が出力される。

【0041】このとき、メモリセル100aから読み出されたデータが“1”の場合は、1回目の読み出し電圧が2回目の読み出し電圧に対して大きく異なるのでデータを判別することができるが、メモリセル100aから読み出されたデータが“0”の場合は、1回目の読み出し電圧が2回目の読み出しとほぼ同じ値となってしまう。

【0042】そこで、1回目に読み出されたデータが2回目に読み出されたデータに対してあるスレッシュド以上の差を有する場合を“1”と判断し、それ以外の場合を“0”と判断する。

【0043】なお、スレッシュドの設定においては、差動センスアンプ204の一方の入力に容量を接続する方法や、差動センスアンプ204を構成するトランジスタを2つの入力でサイズを変える方法等が考えられている。

【0044】また、他の方法として、1回目の読み出し時においてプレート線PL1に読み出しパルスが入力されてからトランジスタ201aをOFF状態にするまでの時間を、2回目の読み出し時においてプレート線PL1に読み出しパルスが入力されてからトランジスタ201bをOFF状態にするまでの時間よりも長く設定し、これにより、読み出されたデータが“0”の場合においても、1回目の読み出し電位を2回目の読み出し電位よりも低くする方法が考えられている。

【0045】図25は、従来の半導体装置の他の構成例を示す回路図であり、特願平9-360074号公報に開示されたものを示している。

【0046】図25に示すように本従来例においては、隣接する2本のビット線BL1、BL2の一端には、信号TG1～TG4によって制御される4つのMOSTランジスタ301a～301dを介して、ビット線BL11、BL21の電位及びビット線BL11、BL21の電位差を増幅してデータを検出するセンスアンプ302が接続されている。

【0047】また、センスアンプ302に接続されたビット線BL21は、長さLだけビット線BL11よりも長くなっている。また、ビット線BL1、BL2はビット線プリチャージ信号PBLG1によって、また、ビット線BL11、BL21はPBLG0によって接地電位にそれぞれプリチャージされる。

【0048】また、メモリセル310a、310bはそれぞれ、一方の電極がプレート線PL1、PL2と接続された強誘電体容量311a、311bと、ソースまたはドレインが強誘電体容量311a、311bの他方の電極に接続され、ソースまたはドレインの強誘電体容量311a、311bが接続されていない側がビット線BL2、BL1に接続され、ゲートがワード線WL1、WL2に接続されたセルトランジスタ312a、312bとから構成されている。

【0049】以下に、上記のように構成された半導体装置における読み出し動作について、メモリセル310aからデータを読み出す場合を例に挙げて説明する。

【0050】図26は、図25に示した半導体装置におけるデータの読み出し動作を説明するための図であり、強誘電体容量311a、311bのヒステリシス特性を示している。

【0051】ここで、強誘電体容量311a、311bの分極状態は、“1”が書き込まれている場合は図26に示すAの状態にあり、“0”が書き込まれている場合は図26に示すBの状態にある。

【0052】まず、PBLG0及びPBLG1を“H”レベルに設定し、それにより、ビット線BL1、BL2、BL11、BL21を接地電位にプリチャージする。

【0053】次に、ワード線WL1を“H”に設定してメモリセル310aを選択し、プレート線PL1を“H”に設定して維持し、TG2を“H”としてMOSTランジスタ301bをON状態とすることにより、メモリセル310a内のデータがビット線BL2、BL21に読み出される。

【0054】ここで、メモリセル310aから読み出されるデータが“1”の場合は、強誘電体容量311aの分極状態は、図26に示す点Aから点Cに移り、ビット線BL2、BL21の電位はVBL1になる。また、メモリセル310aから読み出されるデータが“0”の場合は、強誘電体容量311aの分極状態は、図26に示すBからDに移り、ビット線BL2、BL21の電位はVBL0になる。

【0055】なお、図26に示す直線A及び直線Bの傾きは、ビット線BL2の容量CBL1とビット線BL21の容量(CBL2+CL)とを加えた値に基づいて決定する。

【0056】そのため、点AからX軸方向に平行な直線と読み出し電圧VRによる直線との交点からこの傾きを有する直線Aをひいた場合に直線Aと強誘電体容量311aに“1”が書き込まれている場合のヒステリシス曲線との交点Cにおける電位がVBL1となり、また、点BからX軸方向に平行な直線と読み出し電圧VRによる直線との交点からこの傾きを有する直線Bをひいた場合に直線Bと強誘電体容量311aに“0”が書き込まれている場合のヒステリシス曲線との交点Dにおける電位がVBL0となる。

【0057】次に、TG2を“L”としてMOSTランジスタ301bをOFF状態とし、PBLG1を“H”にしてビット線BL1、BL2を再度接地電位にプリチャージする。

【0058】このとき、プレート線PL1が“H”のままであるため、メモリセル310aには“0”が書き込まれる。このとき、ビット線BL1、BL2は接地電位

となっているため、ビット線BL2の容量が0となる。そのため、強誘電体容量311aの分極状態は、読み出し電圧VRによる直線とヒステリシス曲線との交点である点Eに移る。

【0059】次に、プレート線PL1を“L”にし、その後、PBLG1を“L”にし、それにより、強誘電体容量311aの分極状態が図26に示す点Bに移る。

【0060】次に、プレート線PL1を“H”にし、また、TG3を“H”にしてMOSTランジスタ301aをON状態とし、それにより、メモリセル310a内のデータがビット線BL2、BL11に読み出される。

【0061】ここで、ビット線BL11はビット線BL21に比べて長さLだけ短いため、ビット線BL11の容量はBL21よりもCLだけ小さくなる。

【0062】そのため、ビット線BL2の容量CBL1とビット線BL11の容量CBL2とを加えた値に基づく傾きを有する直線Cを、点BからX軸方向に平行な直線と読み出し電圧VRによる直線との交点からひいた場合に直線Cと強誘電体容量311aに“0”が書き込まれている場合のヒステリシス曲線との交点Fにおける電位がビット線BL2、BL11に読み出される。

【0063】次に、TG3を“L”としてMOSTランジスタ301cをOFF状態とする。

【0064】その後、センスアンプ302を動作させてデータの判別が行われる。センスアンプ302においては、ビット線BL11に読み出された電位Vrefを参照電圧とし、ビット線BL21に読み出された電位を参照電圧Vrefと比較することによりデータの判別が行われる。

【0065】次に、TG2を“H”としてMOSTランジスタ301bをON状態とし、また、プレート線PL1を“L”とし、それにより、メモリセル310aにデータが再び書き込まれる。

【0066】次に、センスアンプ302の動作を停止する。

【0067】次に、PBLG0、PBLG1を“H”としてビット線BL1、BL2、BL11、BL21をディスチャージし、最後に、ワード線WL1を“L”として読み出しが終了する。

【0068】上述した半導体装置におけるデータの読み出し方法においては、メモリセル毎に参照電圧を作成しているため、メモリセル毎の書き込み状態(“1”と“0”と)にばらついている場合や、“1”と“0”とのいずれか一方に偏っている場合)によって参照電圧が作成され、データを正確に判別することができる。

【0069】そのため、図23に示したような強誘電体特性変化が生じた場合においても、参照電圧が各メモリセルの特性シフトに追従し、データを読み出せなくなることはなくなる。

【0070】

【発明が解決しようとする課題】上述したような従来の半導体装置の駆動方法においては、1回の読み出し動作後にデータ“0”を書き込み、その後、そのデータ

“0”を読み出して参照電圧として用いているため、参照電圧は図26中点F近辺の値となるが、点F近辺においては、残留分極量が少しでも変化した場合、読み出される電圧をが大きく異なってしまう。

【0071】ここで、一般に、強誘電体容量においては、時間の経過に伴って残留分極量が減少してしまうという特性がある。図26において、残留分極量が減少した場合、強誘電体容量の状態は、“1”が書き込まれている場合は点Hの状態となり、“0”が書き込まれている場合は点Iの状態となり、ヒステリシス曲線も異なるものとなる。

【0072】そのため、上述したような従来の半導体装置の駆動方法においては、メモリセルの残留分極量が減少している場合、メモリセルから読み出される電圧が大きく異なり、点Fが点Dよりも負の電圧側となってしまう、データを正確に判別することができなくなる虞れがある。

【0073】また、1回目の読み出しと2回目の読み出しとの間において、他の配線とのカップリングノイズ等によって読み出し電圧がばらついた場合、出力電圧もばらついてしまう。

【0074】このため、データ“0”を判別するためのスレッシュホールド量においては、差動センスアンプの判別限界電圧に加えて読み出し電圧ノイズによる出力電圧のばらつきも考慮しなければならない。また、変化させるビット線容量においても、出力電圧のばらつきをマージンとして考慮しなければならない。

【0075】また、図24に示した半導体装置においては、読み出し時におけるビット線容量の影響が考慮されておらず、書き込まれていたデータや読み出し直前の残留分極の劣化状態によって、参照電圧とする2回目の読み出し結果が変化してしまい、このためのマージンも考慮しなければならない。

【0076】本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、残留分極量が減少した場合においても正確にデータを読み出すことができる半導体装置及びその駆動方法を提供することを目的とする。

【0077】

【課題を解決するための手段】上記目的を達成するために本発明は、分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、前記記憶素子に対して、前記記憶素子の分極量

が前記記憶素子に“0”が書き込まれた場合の半分以上であり、かつ“1”が書き込まれた場合の半以下となるような電圧を印加する第3の処理と、前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第4の処理と、前記第1の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第5の処理とを順次行うことを特徴とする。

【0078】また、分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、前記記憶素子に対して、前記記憶素子の分極量が前記記憶素子に“0”が書き込まれた場合の半分以上であり、かつ“1”が書き込まれた場合の半以下となるような電圧を印加する第3の処理と、前記記憶素子に対して、前記読み出し電圧とは絶対値が等しく、かつ逆極性の電圧を印加して前記記憶素子からデータを読み出す第4の処理と、前記第1の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第5の処理とを順次行うことを特徴とする。

【0079】また、分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第3の処理と、前記第1の処理にて読み出されたデータと前記第3の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第4の処理とを順次行うことを特徴とする。

【0080】また、前記第1の処理または前記第3の処理にて読み出されたデータを、予め決められたオフセット量に基づいてその電圧をオフセットさせることを特徴とする。

【0081】また、分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第3の処理と、前記記憶素子に対して前記読み出し電圧と同極性の電圧を印加する第4の処理と、前記記憶素子に対して

前記読み出し電圧を印加して前記記憶素子からデータを読み出す第5の処理と、前記第1の処理にて読み出されたデータと前記第3の処理にて読み出されたデータと前記第5の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第6の処理とを順次行うことを特徴とする。

【0082】また、前記第3の処理にて読み出されたデータと前記第5の処理にて読み出されたデータとを所定の比率によって重み付けして積算し、該積算されたデータと前記第1の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別することを特徴とする。

【0083】また、分極状態にヒステリシス特性を有する記憶素子に書き込まれたデータを複数の読み出し動作により判別する半導体装置の駆動方法であって、前記記憶素子に対して所定の読み出し電圧を印加して前記記憶素子からデータを読み出す第1の処理と、前記記憶素子に対して前記読み出し電圧とは逆極性の電圧を印加する第2の処理と、前記記憶素子に対して、前記読み出し電圧とは絶対値が等しく、かつ逆極性の電圧を印加して前記記憶素子からデータを読み出す第3の処理と、前記記憶素子に対して前記読み出し電圧を印加して前記記憶素子からデータを読み出す第4の処理と、前記第1の処理にて読み出されたデータと前記第3の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別する第5の処理とを順次行うことを特徴とする。

【0084】また、前記第3の処理にて読み出されたデータと前記第4の処理にて読み出されたデータとを所定の比率によって重み付けして積算し、該積算されたデータと前記第1の処理にて読み出されたデータとに基づいて前記記憶素子に書き込まれたデータを判別することを特徴とする。

【0085】また、分極状態にヒステリシス特性を具備し、データが書き込まれる記憶素子と、該記憶素子から読み出されたデータを複数の端子に出力するスイッチング素子と、該スイッチング素子から出力されたデータに基づいて記憶素子に書き込まれたデータを判別する判別機能素子とを有し、前記記憶素子に対して複数回の読み出し動作が行われ、前記判別機能素子は、該複数の読み出し動作によって読み出された複数のデータに基づいて前記記憶素子に書き込まれたデータを判別する半導体装置において、前記記憶素子から読み出され前記スイッチング素子を介して出力された複数のデータのうち、2つ以上のデータが入力され、該2つ以上のデータを予め決められた比率によって重み付けして積算し、1つのデータとして出力する重み付け電圧積算素子を有し、前記判別機能素子は、前記重み付け電圧積算素子から出力されたデータと前記スイッチング素子から出力され、前記重み付け電圧積算素子に入力されないデータとに基づい

て、前記記憶素子に書き込まれたデータを判別することを特徴とする。

【0086】また、前記重み付け電圧積算素子は、複数の入力端子を有し、該複数の端子のそれぞれに入力されたデータを重み付けして積算することを特徴とする。

【0087】また、前記重み付け電圧積算素子は、1つの入力端子を有し、該1つの入力端子に異なるタイミングで入力されたデータを重み付けして積算することを特徴とする。

【0088】また、前記比率は、入力されたデータのうち読み出しにより変化する分極状態の変化量が最大となるデータに対する重み付け量が最も大きくなるように設定されていることを特徴とする。

【0089】また、前記記憶素子は、強誘電体容量を有することを特徴とする。

【0090】また、前記記憶素子は、強誘電体容量と少なくとも1つのトランジスタとからなることを特徴とする。

【0091】また、前記強誘電体容量は、前記トランジスタのソースに接続されていることを特徴とする。

【0092】また、前記強誘電体容量は、前記トランジスタのドレインに接続されていることを特徴とする。

【0093】また、前記強誘電体容量は、前記トランジスタのゲートに接続されていることを特徴とする。

【0094】また、前記記憶素子は、ゲート絶縁膜の一部もしくは全部が強誘電体材料であるトランジスタを有することを特徴とする。

【0095】また、前記スイッチング素子は、少なくとも1つのトランジスタとからなることを特徴とする。

【0096】また、前記判別機能素子は、2入力差動センスアンプであることを特徴とする。

【0097】また、前記重み付け電圧積算素子は、複数のトランジスタを有し、該複数のトランジスタを用いた容量の組合せによって前記比率が決められていることを特徴とする。

【0098】また、前記記憶素子からデータが読み出されるビット線の容量は、前記記憶素子に“1”が書き込まれた場合の前記記憶素子の残留分極量を Q_r 、前記記憶素子の抗電圧を V_c とした場合、 $Q_r/V_c/1.5$ 以上であることを特徴とする。

【0099】（作用）上記のように構成された本発明においては、まず、記憶素子に対して所定の読み出し電圧を印加して記憶素子からデータを読み出し、次に、記憶素子に対して読み出し電圧とは逆極性の電圧を印加して“1”を書き込み、次に、記憶素子に対して、記憶素子の分極量が記憶素子に“0”が書き込まれた場合の半分以上であり、かつ“1”が書き込まれた場合の半分以下となるような電圧を印加し、それにより、記憶素子の分極状態をほとんど分極されていない状態とする。そして、この分極状態の記憶素子に対して読み出し電圧を印

加して記憶素子からデータを読み出し、該データを参照電圧として該参照電圧と読み出されたデータとを比較し、該比較結果に基づいて記憶素子に書き込まれたデータを判別する。

【0100】このように、記憶素子からデータを読み出す場合に、記憶素子がほとんど分極されていない状態を生成し、その状態の記憶素子から読み出されたデータを参照電圧とするので、記憶素子の残留分極量が減少した場合においても正確にデータが読み出される。

【0101】また、記憶素子に対して所定の読み出し電圧を印加して記憶素子からデータを読み出し、次に、記憶素子に対して読み出し電圧とは逆極性の電圧を印加して“1”を書き込み、次に、記憶素子に対して読み出し電圧を印加して記憶素子からデータを読み出し、該データを参照電圧として該参照電圧と読み出されたデータとを比較し、該比較結果に基づいて記憶素子に書き込まれたデータを判別する。

【0102】このように、記憶素子からデータを読み出す際に用いる参照電圧を、記憶素子の分極状態のヒステリシス曲線の傾きが急峻な部分の電圧とするので、記憶素子の残留分極量が変動した場合においても、参照電圧の変動が大きくなることはなく、正確にデータが読み出される。

【0103】また、参照電圧に予め決められたオフセット量を付加した場合は、読み出されたデータと参照電圧の差異が大きくなり、さらに正確にデータが読み出される。

【0104】また、記憶素子に対して所定の読み出し電圧を印加して記憶素子からデータを読み出し、次に、記憶素子に対して読み出し電圧とは逆極性の電圧を印加し、次に、記憶素子に対して読み出し電圧を印加して記憶素子からデータを読み出し、次に、記憶素子に対して読み出し電圧と同極性の電圧を印加し、次に、記憶素子に対して読み出し電圧を印加して記憶素子からデータを読み出し、その後、2回目に読み出したデータと3回目に読み出したデータとを所定の比率によって重み付けして積算して参照電圧とし、該参照電圧と1回目に読み出したデータとを比較し、該比較結果に基づいて記憶素子に書き込まれたデータを判別する。

【0105】このように、記憶素子に実際に書き込まれるデータに基づいて参照電圧を生成し、さらに、データの重み付けにより、読み出されたデータと参照電圧の差異が大きくなるので、記憶素子の残留分極量が減少した場合においても正確にデータが読み出される。

【0106】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0107】（第1の実施の形態）図1は、本発明の半導体装置の駆動方法の第1の実施の形態を説明するための図であり、図2は、図1を用いて説明する駆動方法を

実現するための半導体装置の構成例を示す回路図である。

【0108】本構成例は図2に示すように、少なくとも2つの端子5、6を有し、端子5に制御電圧が印加されることにより端子6を介してデータの書き込みまたは読み出しが行われる記憶素子1と、記憶素子1にデータが書き込まれる場合に記憶素子1に書き込まれるデータに基づいた電圧が印加され、記憶素子1からデータが読み出される場合に読み出しを行うための電圧が印加され、該電圧を外部から印加される制御電圧に基づいて出力するスイッチング素子2と、記憶素子1から読み出されたデータが入力され、該データを外部から印加される制御電圧に基づいて2つのデータとして出力するスイッチング素子3と、スイッチング素子3を介して出力された2つのデータの差に基づいて記憶素子1から読み出されたデータを判別し、判別結果を出力する判別機能素子4と、判別機能素子4から出力された判別結果を外部から印加される制御電圧に基づいて記憶素子1に書き込むスイッチング素子18とから構成されており、記憶素子1とスイッチング素子2とスイッチング素子3とが接続部17にて接続されている。

【0109】なお、記憶素子1においては、データの書き込みまたは読み出しが行われる端子6と、端子6を介してのデータの書き込みまたは読み出しを制御するための制御電圧が印加される端子5とが設けられており、さらに、書き込みを行うかどうかの選択を行う端子（不図示）が設けられている場合もある。

【0110】また、スイッチング素子2においては、記憶素子1にデータが書き込まれる場合に記憶素子1に書き込まれるデータに基づいた電圧が印加され、記憶素子1からデータが読み出される場合に読み出しを行うための電圧が印加される端子7と、端子7に印加された電圧を出力する端子8と、端子7に印加された電圧の端子8からの出力を制御するための制御電圧が印加される端子9とが設けられている。

【0111】また、スイッチング素子3においては、記憶素子1から読み出されたデータが入力される端子10と、端子10に入力されたデータを出力する端子11、12と、端子10に入力されたデータの端子11、12からの出力を制御するための制御電圧が印加される端子13とが設けられており、端子13に印加される制御電圧に基づいて、端子10と端子11、12との接続あるいは切断が個別に制御される。

【0112】また、判別機能素子4においては、スイッチング素子3の端子11から出力されたデータが入力される端子14と、スイッチング素子3の端子12から出力されたデータが入力される端子15と、端子14に入力されたデータと端子15に入力されたデータとの差に基づいた判別結果を出力する端子16とが設けられており、さらに、判別の実行を制御するための制御電圧が印

加される端子（不図示）が設けられている場合もある。

【0113】また、スイッチング素子18においては、判別機能素子4から出力された判別結果が入力される端子19と、端子19に入力された判別結果を出力する端子21と、端子19に入力された判別結果の端子21からの出力を制御するための制御電圧が印加される端子20とが設けられている。

【0114】なお、端子6、8、10、21は、互いに接続部17を介して接続されている。

【0115】以下に、上記のように構成された半導体装置を用いたデータの書き込み及び読み出し方法について図1を参照して説明する。

【0116】まず、記憶素子1に対するデータの書き込み方法について説明する。

【0117】まず、スイッチング素子2の端子9に制御電圧を印加してスイッチング素子2をON状態にし、その後、スイッチング素子2の端子7に記憶素子1に書き込むデータに基づく電圧を印加するとともに記憶素子1の端子5に制御電圧を印加する。なお、記憶素子1の端子5に制御電圧を印加した後にスイッチング素子2の端子9に制御電圧を印加してスイッチング素子2をON状態にする方法や、スイッチング素子2をON状態にしてスイッチング素子2の端子7に記憶素子1に書き込むデータに基づく電圧を印加し、端子7に印加された電圧が端子8に出力された後、スイッチング素子2をOFF状態にし、その後、記憶素子1の端子5に制御電圧を印加する方法もある。

【0118】また、記憶素子1に、データの書き込みを行うかどうかの選択を行う端子が設けられている場合は、該選択端子により書き込みを許可状態にする。

【0119】これにより、スイッチング素子2の端子7に印加された電圧が端子6を介して記憶素子1に印加され、データとして書き込まれる。

【0120】ここで、データ“1”が書き込まれる場合に記憶素子1に印加される電圧はVW1となり、記憶素子1の分極状態は点Kとなる。また、データ“0”が書き込まれる場合に記憶素子1に印加される電圧はVW0となり、記憶素子1の分極状態は点Lとなる。

【0121】その後、記憶素子1にかかる電圧を0Vとすると、記憶素子1の分極状態は、データ“1”が書き込まれた状態では点Aの状態となり、データ“0”が書き込まれた状態では点Bの状態となる。

【0122】次に、記憶素子1からのデータの読み出し方法について説明する。なお、本形態においては、記憶素子1からのデータの読み出しを2回行い、2回目の読み出し電圧を参照電圧として用い、1回目の読み出し電圧を参照電圧と比較することによりデータの判別を行う。

【0123】また、本形態においては、時間の経過とともに記憶素子1に残留劣化が生じ、書き込まれたデータ

が“1”の場合の記憶素子1の分極状態は点Aの状態から点Cの状態に移っており、書き込まれたデータが“0”の場合の記憶素子1の分極状態は点Bの状態から点Dの状態に移っているものとする。

【0124】1回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧VRを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0125】次に、スイッチング素子2をOFF状態にする。

【0126】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧VRが印加される。このとき、記憶素子1に書き込まれたデータが“1”の場合は、記憶素子1の分極状態が点Eの状態となり、接続部17にV1が読み出される。また、記憶素子1に書き込まれたデータが“0”の場合は、記憶素子1の分極状態が点Fの状態となり、接続部17にV0が読み出される。

【0127】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0128】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において、端子5に制御電圧を印加する方法もある。

【0129】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0130】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0131】次に、スイッチング素子3の端子13に、スイッチング素子3の端子10と端子11とを電気的に接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子3の端

子11を介して端子14から判別機能素子4に入力される。なお、スイッチング素子3内の端子10と端子11との接続制御においては、スイッチング素子2をON状態にする前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0132】次に、スイッチング素子3をOFF状態とし、その後、上述した書き込み方法によって、記憶素子1に“1”を書き込む。すなわち、記憶素子1には、読み出し電圧とは逆向きとなる電圧VW1が印加され、それにより、記憶素子1の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0133】2回目の読み出しは、まず、スイッチング素子2の端子7に所定の電圧VBを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0134】次に、スイッチング素子2をOFF状態にする。

【0135】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には端子7に印加された電圧VBが印加され、記憶素子1の分極状態が点Gの状態となる。なお、このとき、記憶素子1にデータ“1”が書き込まれてからあまり時間が経過していないため、記憶素子1の残留分極は少ない。

【0136】その後、記憶素子1にかかる電圧が0Vとなるような電圧を端子7に印加し、スイッチング素子2をON状態にしてからOFF状態に戻すと、記憶素子1の分極状態は点Hの状態となり、記憶素子1の残留分極が極めて小さなものとなる。

【0137】ここで、端子7に印加する電圧VBにおいては、点Hが点Aの半分の値から点Bの半分の値までとなるようにヒステリシス特性曲線上の点Gを算出し、点Gからひいた、読み出し電圧印加時における傾きを有する直線と、点Aを通りX軸に平行にひかれた直線との交点における電圧とする。

【0138】別の方法として、まず、スイッチング素子2の端子7に端子5との電位差が所定の電圧VB'となる電圧を印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態とし、それにより、接続部17における電位を端子7に印加された電位とする。

【0139】それにより、記憶素子1には端子7に印加された電圧VB'が印加され、記憶素子1の分極状態が点Gの状態となる。なお、このとき、記憶素子1にデータ“1”が書き込まれてからあまり時間が経過していないため、記憶素子1の残留分極は少ない。

【0140】その後、端子7の電圧を端子5の電圧と等しくすると、記憶素子1にかかる電圧が0Vとなり、記憶素子1の分極状態は点Hの状態となり、記憶素子1の残留分極が極めて小さなものとなる。

【0141】次に、スイッチング素子2をOFF状態にする。

【0142】ここで、端子7に印加する電圧 V_B' においては、点Hが点Aの半分の値から点Bの半分の値までとなるようにヒステリシス曲線上の点Gを算出し、この点Gの電圧とする。

【0143】次に、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧 V_R を印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0144】次に、スイッチング素子2をOFF状態にする。

【0145】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧 V_R が印加される。このとき、記憶素子1の分極状態は点Hから点Iに移り、接続部17に読み出される電位は V_{ref} となる。

【0146】また、スイッチング素子2をOFF状態として、それにより接続部17をフローティング状態とし、端子5に読み出し電圧 V_R を印加してもよい。

【0147】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0148】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。

【0149】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0150】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0151】次に、スイッチング素子3の端子13に、スイッチング素子3の端子10と端子12とを電気的に接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子3の端

子12を介して端子15から判別機能素子4に入力される。なお、スイッチング素子3内の端子10と端子12との接続制御においては、スイッチング素子2をON状態にする前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0152】上述した2回の読み出しによって、判別機能素子4に2つのデータが入力され、判別機能素子4において、入力された2つのデータの差に基づいてデータの判別結果が出力される。なお、判別機能素子4に、判別の実行を制御するための制御電圧が印加される制御端子が設けられている場合は、該制御端子に、判別の実行を制御するための制御電圧を印加し、それにより判別を開始し、結果を出力する。

【0153】次に、スイッチング素子3をOFF状態にする。なお、判別機能素子4に上述したような制御端子が設けられている場合は、該制御端子に制御信号を印加する前にスイッチング素子3をOFF状態にしてもよい。

【0154】その後、スイッチング素子18が設けられた場合においては、判別機能素子4から出力された判別結果が接続部17にフィードバックされ、記憶素子1に対して再書き込みが行われる。

【0155】上述したような一連の半導体装置の駆動方法においては、2回目の読み出し処理においてデータ“1”と“0”との中間の電圧が接続部17に出力されるため、オフセットを発生させる回路が必要ない。

【0156】そのため、適切な参照電圧が得られるとともに、回路面積を縮小することができる。

【0157】以下に、図2に示した半導体装置を用いた他のデータの書き込み方法及び読み出し方法について図3を参照して説明する。

【0158】図3は、図2に示した半導体装置を用いた他のデータの書き込み方法及び読み出し方法を説明するための図である。

【0159】まず、記憶素子1に対するデータの書き込み方法について説明する。

【0160】まず、スイッチング素子2の端子9に制御電圧を印加してスイッチング素子2をON状態にし、その後、スイッチング素子2の端子7に記憶素子1に書き込むデータに基づく電圧を印加するとともに記憶素子1の端子5に制御電圧を印加する。なお、スイッチング素子2の端子7に記憶素子1に電圧を印加した後にスイッチング素子2をON状態にする方法や、スイッチング素子2をON状態にしてスイッチング素子の端子7に電圧を印加し、端子7に印加された電圧が端子8に出力された後、スイッチング素子2をOFF状態にし、記憶素子1の端子5に制御電圧を印加する方法もある。

【0161】また、記憶素子1に、データの書き込みを行うかどうかの選択を行う端子が設けられている場合は、該選択端子により書き込みを許可状態にする。

【0162】これにより、スイッチング素子2の端子7に印加された電圧が端子6を介して記憶素子1に印加され、データとして書き込まれる。

【0163】ここで、データ“1”が書き込まれる場合に記憶素子1に印加される電圧はVW1となり、記憶素子1の分極状態は点Kとなる。また、データ“0”が書き込まれる場合に記憶素子1に印加される電圧はVW0となり、記憶素子1の分極状態は点Lとなる。

【0164】その後、記憶素子1にかかる電圧を0Vとすると、記憶素子1の分極状態は、データ“1”が書き込まれた状態では点Aの状態となり、データ“0”が書き込まれた状態では点Bの状態となる。

【0165】次に、記憶素子1からのデータの読み出し方法について説明する。なお、本形態においては、記憶素子1からのデータの読み出しを2回行い、2回目の読み出し電圧を参照電圧として用い、1回目の読み出し電圧を参照電圧と比較することによりデータの判別を行う。

【0166】また、本形態においては、時間の経過とともに記憶素子1に残留劣化が生じ、書き込まれたデータが“1”の場合の記憶素子1の分極状態は点Aの状態から点Cの状態に移っており、書き込まれたデータが“0”の場合の記憶素子1の分極状態は点Bの状態から点Dの状態に移っているものとする。

【0167】1回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧VRを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0168】次に、スイッチング素子2をOFF状態に設定する。

【0169】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧VRが印加される。このとき、記憶素子1に書き込まれたデータが“1”の場合は、記憶素子1の分極状態が点Eの状態となり、接続部17にV1が読み出される、また、記憶素子1に書き込まれたデータが“0”の場合は、記憶素子1の分極状態が点Fの状態となり、接続部17にV0が読み出される。

【0170】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0171】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素

子1からの出力をOFF状態にする。また、出力可能状態において、端子5に制御電圧を印加する方法もある。

【0172】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0173】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0174】次に、スイッチング素子3の端子13に、スイッチング素子3の端子10と端子11とを電気的に接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子3の端子11を介して端子14から判別機能素子4に入力される。なお、スイッチング素子3内の端子10と端子11との接続制御においては、スイッチング素子2をON状態にする前や、記憶素子1内のデータを出力させる前に行う方法もある。

【0175】次に、スイッチング素子3をOFF状態とし、その後、上述した書き込み方法によって、記憶素子1に“1”を書き込む。すなわち、記憶素子1には、読み出し電圧とは逆向きとなる電圧VW1が印加され、それにより、記憶素子1の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0176】2回目の読み出しは、まず、スイッチング素子2の端子7に所定の電圧VBを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0177】次に、スイッチング素子2をOFF状態にする。

【0178】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には端子7に印加された電圧VBが印加され、記憶素子1の分極状態が点Gの状態となる。なお、このとき、記憶素子1にデータ“1”が書き込まれてからあまり時間が経過していないため、記憶素子1の残留分極は少ない。

【0179】その後、記憶素子1にかかる電圧が0Vとなるような電圧を端子5に印加して元の電圧に戻し、端子7に端子5の電圧と同じ電圧を与えてスイッチング素子2をON状態にして、その後、OFF状態に戻すと、記憶素子1の分極状態は点Jを経由して点Hの状態となり、記憶素子1の残留分極が極めて小さなものとなる。

【0180】ここで、端子7に印加する電圧VBにおいては、点Hが点Aの半分の値から点Bの半分の値までとなるようにヒステリシス特性曲線上の点Gを算出し、点Gからひいた、読み出し電圧印加時における傾きを有する直線と、点Aを通りX軸に平行にひかれた直線との交点における電圧とする。

【0181】次に、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧-VRを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0182】次に、スイッチング素子2をOFF状態にする。

【0183】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧-VRが印加される。このとき、記憶素子1の分極状態は点Hから点Iに移り、接続部17に読み出される電位はVrefとなる。

【0184】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0185】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0186】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0187】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0188】ここで、記憶素子1からデータを読み出すために印加される電圧-VRは、VBとは逆向きの電圧である。

【0189】次に、スイッチング素子3の端子13に、スイッチング素子3の端子10と端子12とを電気的に接続するための制御電圧を印加する。それにより、接続

部17に読み出されたデータがスイッチング素子3の端子12を介して端子15から判別機能素子4に入力される。なお、スイッチング素子3内の端子10と端子12との接続制御においては、2回目の読み出し動作時におけるスイッチング素子2をON状態にする前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0190】上述した2回の読み出しによって、判別機能素子4に2つのデータが入力され、判別機能素子4において、入力された2つのデータの差に基づいてデータの判別結果が出力される。なお、判別機能素子4に、判別の実行を制御するための制御電圧が印加される制御端子が設けられている場合は、該制御端子に、判別の実行を制御するための制御電圧を印加し、それにより、判別を開始し、結果を出力する。

【0191】次に、スイッチング素子3をOFF状態にする。なお、判別機能素子4に上述したような制御端子が設けられている場合は、該制御端子に制御信号を印加する前にスイッチング素子3をOFF状態にしてもよい。

【0192】その後、スイッチング素子18が設けられた場合においては、判別機能素子4から出力された判別結果が接続部17にフィードバックされ、記憶素子1に対して再書き込みが行われる。

【0193】上述したような一連の半導体装置の動作方法においては、2回目の読み出し処理においてデータ“1”と“0”との中間の電圧が接続部17に出力されるため、オフセットを発生させる回路が必要ない。

【0194】そのため、適切な参照電圧が得られるとともに、回路面積を縮小することができる。

【0195】以下に、上述した半導体装置を用いたメモリアレイについて説明する。

【0196】図4は、図2に示した半導体装置を用いたメモリアレイの一構成例を示す図であり、2行2列のメモリアレイを示している。

【0197】本形態は図4に示すように、記憶素子1の端子5がワード線W1、W2に、端子6がビット線B1、B2にそれぞれ接続されている。また、スイッチング素子2の端子8が各ビット線B1、B2の一端に接続されている。また、スイッチング素子3の端子10が各ビット線B1、B2の他端に接続されている。また、スイッチング素子3からの2つの出力が判別機能素子4の2つの入力にそれぞれ接続されている。また、スイッチング素子2の端子9がビット制御線BCに、スイッチング素子3の端子13が出力制御線OCにそれぞれ接続されている。

【0198】上記のように構成されたメモリアレイにおいては、ワード線W1、W2、ビット線B1、B2、ビット制御線BC及び出力制御線OCの電位を操作することにより、上述したような記憶素子1に対するデータの

書き込み及び読み出し動作が可能である。

【0199】(第2の実施の形態)上述した第1の実施の形態において説明したものに対して、読み出し時にビット線の容量を変える機構、または、判別機能素子4の2つの入力にオフセットを付加する機構を追加することもできる。または、判別機能素子4内に、2つの入力の容量が異なる機構、または、2つの入力にオフセットを付加してデータの判別を行う機構を追加することもできる。

【0200】図5は、本発明の半導体装置の駆動方法の第2の実施の形態を説明するための図である。

【0201】以下に、図5に示す半導体装置の駆動方法について図2に示した半導体装置を用いて説明する。

【0202】本形態におけるデータの書き込み方法は、第1の実施の形態にて説明した方法と同様であるため、ここでの説明は省略する。

【0203】なお、本形態においても、記憶素子1からのデータの読み出しを2回行い、2回目の読み出し電圧を参照電圧として用い、1回目の読み出し電圧を参照電圧と比較することによりデータの判別を行う。

【0204】また、本形態においては、時間の経過とともに記憶素子1に残留劣化が生じ、書き込まれたデータが“1”の場合の記憶素子1の分極状態は点Aの状態から点Cの状態に移っており、書き込まれたデータが“0”の場合の記憶素子1の分極状態は点Bの状態から点Dの状態に移っているものとする。

【0205】1回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧VRを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0206】次に、スイッチング素子2をOFF状態に設定する。

【0207】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧VRが印加される。このとき、記憶素子1に書き込まれたデータが“1”の場合は、記憶素子1の分極状態が点Cの状態から点Eの状態に移り、接続部17にV1が読み出される。また、記憶素子1に書き込まれたデータが“0”の場合は、記憶素子1の分極状態が点Dの状態から点Fの状態に移り、接続部17にV0が読み出される。

【0208】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0209】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを

接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0210】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0211】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0212】次に、スイッチング素子3の端子13に、スイッチング素子3の端子10と端子11とを電気的に接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子3の端子11を介して端子14から判別機能素子4に入力される。なお、スイッチング素子3内の端子10と端子11との接続制御においては、スイッチング素子2をON状態に設定する前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0213】次に、スイッチング素子3をOFF状態とし、その後、上述した書き込み方法によって、記憶素子1に“1”を書き込む。すなわち、記憶素子1には、読み出し電圧とは逆向きとなる電圧VW1が印加され、それにより、記憶素子1の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0214】2回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧VRを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0215】次に、スイッチング素子2をOFF状態に設定する。

【0216】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧VRが印加される。このとき、記憶素子1の分極状態は点Gとなり、接続部17に読み出される電位はVrefとなる。

【0217】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこと

もできる。

【0218】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータが接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0219】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0220】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0221】次に、スイッチング素子3の端子13に、スイッチング素子3の端子10と端子12とを電気的に接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子3の端子12を介して端子15から判別機能素子4に入力される。なお、スイッチング素子3内の端子10と端子12との接続制御においては、2回目の読み出し時におけるスイッチング素子2をON状態に設定する前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0222】ここで、2回目の読み出しデータは、予め決められたオフセット値に基づいてオフセットされた電圧として判別機能素子4に入力される。

【0223】上述した2回の読み出しによって、判別機能素子4に2つのデータが入力され、判別機能素子4において、入力された2つのデータの差に基づいてデータの判別結果が出力される。なお、判別機能素子4に、判別の実行を制御するための制御電圧が印加される制御端子が設けられている場合は、該制御端子に、判別の実行を制御するための制御電圧を印加し、それにより判別を開始し、結果を出力する。

【0224】次に、スイッチング素子3をOFF状態にする。なお、判別機能素子4に上述したような制御端子が設けられている場合は、該制御端子に制御信号を印加する前にスイッチング素子3をOFF状態にしてもよい。

【0225】なお、判別機能素子4に入力される2回目の読み出しデータに付加されるオフセット量においては、判別機能素子4に入力される1回目の読み出しデー

タが“1”の場合であっても、“1”を正確に判別できるような量とする。

【0226】その後、スイッチング素子18が設けられた場合においては、判別機能素子4から出力された判別結果が接続部17にフィードバックされ、記憶素子1に対して再書き込みが行われる。

【0227】上述したような一連の半導体装置の駆動方法においては、2回目の読み出し動作時における記憶素子1の分極状態がヒステリシス曲線の傾きが急峻な部分となるため、記憶素子1の残留分極量の変動に対して、接続部17の出力電圧の変動が小さくなる。そのため、従来に比べてオフセット電圧を決める際のマージンを小さくすることができる。

【0228】それにより、データの読み出しができなくなるまでの寿命を延ばすことができる。

【0229】また、本形態においても、第1の実施の形態で説明した動作方法が適用可能であり、オフセットを用いた判別処理を行うことができる。

【0230】(第3の実施の形態)図6は、本発明の半導体装置の駆動方法の第3の実施の形態を説明するための図であり、図7は、図6を用いて説明する駆動方法を実現するための半導体装置の一構成例を示す回路図である。

【0231】本構成例は図7に示すように、少なくとも2つの端子5、6を有し、端子5に制御電圧が印加されることにより端子6を介してデータの書き込みまたは読み出しが行われる記憶素子1と、記憶素子1にデータが書き込まれる場合に記憶素子1に書き込まれるデータに基づいた電圧が印加され、記憶素子1からデータが読み出される場合に読み出し行うための電圧が印加され、該電圧を外部から印加される制御電圧に基づいて出力するスイッチング素子2と、記憶素子1から読み出されたデータが入力され、該データを外部から印加される制御電圧に基づいて3つのデータとして出力するスイッチング素子22と、スイッチング素子22から出力されたデータうち1つ以上のデータが入力され、該データを重み付けした上で積算し、該積算値を出力する重み付け積算素子23と、スイッチング素子22から出力されたデータと重み付け積算素子23から出力されたデータとの差に基づいて記憶素子1から読み出されたデータを判別し、判別結果を出力する判別機能素子4と、判別機能素子4から出力された判別結果を外部から印加される制御電圧に基づいて記憶素子1に書き込むスイッチング素子18とから構成されており、記憶素子1とスイッチング素子2とスイッチング素子22とが接続部17にて接続されている。

【0232】なお、記憶素子1においては、データの書き込みまたは読み出しが行われる端子6と、端子6を介してのデータの書き込みまたは読み出しを制御するための制御電圧が印加される端子5とが設けられており、さ

らに、書き込みを行うかどうかの選択を行う端子（不図示）が設けられている場合もある。

【0233】また、スイッチング素子2においては、記憶素子1にデータが書き込まれる場合に記憶素子1に書き込まれるデータに基づいた電圧が印加され、記憶素子1からデータが読み出される場合に読み出しを行うための電圧が印加される端子7と、端子7に印加された電圧を出力する端子8と、端子7に印加された電圧の端子8からの出力を制御するための制御電圧が印加される端子9とが設けられている。

【0234】また、スイッチング素子22においては、記憶素子1から読み出されたデータが入力される端子24と、端子24に入力されたデータを出力する端子26～28と、端子24に入力されたデータの端子26～28からの出力を制御するための制御電圧が印加される端子25とが設けられており、端子25に印加される制御電圧に基づいて、端子24と端子26～28との接続あるいは切断が個別に制御される。

【0235】また、重み付け電圧積算素子23においては、スイッチング素子22の端子27から出力されたデータが入力される端子29と、スイッチング素子22の端子28から出力されたデータが入力される端子30と、端子29、30に入力されたデータまたは異なるタイミングで入力されたデータが重み付けされた上で積算された積算値を出力する端子31とが設けられており、さらに、積算処理の実行を制御するための制御電圧が印加される端子（不図示）が設けられている場合もある。

【0236】また、判別機能素子4においては、スイッチング素子22の端子26から出力されたデータが入力される端子14と、重み付け電圧積算素子23の端子31から出力されたデータが入力される端子15と、端子14に入力されたデータと端子15に入力されたデータとの差に基づいた判別結果を出力する端子16とが設けられており、さらに、判別の実行を制御するための制御電圧が印加される端子（不図示）が設けられている場合もある。

【0237】また、スイッチング素子18においては、判別機能素子4から出力された判別結果が入力される端子19と、端子19に入力された判別結果を出力する端子21と、端子19に入力された判別結果の端子21からの出力を制御するための制御電圧が印加される端子20とが設けられている。

【0238】なお、端子6、8、21、24は、互いに接続部17を介して接続されている。

【0239】以下に、上記のように構成された半導体装置を用いたデータの書き込み及び読み出し方法について図6を参照して説明する。

【0240】本形態におけるデータの書き込み方法は、第1の実施の形態にて説明した方法と同様であるため、ここでの説明は省略する。

【0241】以下に、本形態におけるデータの読み出し方法について説明する。なお、本形態においては、記憶素子1からのデータの読み出しを3回行う。

【0242】また、本形態においては、時間の経過とともに記憶素子1に残留劣化が生じ、書き込まれたデータが“1”の場合の記憶素子1の分極状態は点Aの状態から点Cの状態に移っており、書き込まれたデータが“0”の場合の記憶素子1の分極状態は点Bの状態から点Dの状態に移っているものとする。

【0243】1回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧VRを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0244】次に、スイッチング素子2をOFF状態にする。

【0245】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧VRが印加される。このとき、記憶素子1に書き込まれたデータが“1”の場合は、記憶素子1の分極状態が点Cの状態から点Eの状態に移り、接続部17にV1が読み出される。また、記憶素子1に書き込まれたデータは“0”の場合は、記憶素子1の分極状態が点Dの状態から点Fの状態に移り、接続部17にV0が読み出される。

【0246】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0247】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0248】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0249】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができない状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができ

る。

【0250】次に、スイッチング素子22の端子25に、スイッチング素子22の端子24と端子26とを接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子22の端子26を介して端子14から判別機能素子4に入力される。なお、スイッチング素子22内の端子24と端子26との接続制御においては、スイッチング素子2をON状態に設定する前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0251】次に、スイッチング素子22をOFF状態とし、その後、上述した書き込み方法によって、記憶素子1にデータ“1”を書き込む。すなわち、記憶素子1には、読み出し電圧とは逆向きとなる電圧 V_{W1} が印加され、それにより、記憶素子1の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0252】2回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧 V_R を印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0253】次に、スイッチング素子2をOFF状態に設定する。

【0254】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧 V_R が印加される。このとき、記憶素子1の分極状態は点Aの状態から点Gの状態に移り、接続部17に V_{ref1} が読み出される。

【0255】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0256】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0257】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0258】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子

5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0259】次に、スイッチング素子22の端子25に、スイッチング素子22の端子24と端子27とを接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子22の端子27を介して端子29から重み付け電圧積算素子23に入力される。なお、スイッチング素子22内の端子24と端子27との接続制御においては、2回目の読み出し時にスイッチング素子2をON状態に設定する前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0260】次に、スイッチング素子2をOFF状態とし、その後、上述した書き込み方法によって、記憶素子1にデータ“0”を書き込む。すなわち、記憶素子1には、読み出し電圧とは同じ向きとなる電圧 V_{W0} が印加され、それにより、記憶素子1の分極状態は点Lの状態となり、その後、点Bの状態となる。

【0261】3回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧 V_R を印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0262】次に、スイッチング素子2をOFF状態に設定する。

【0263】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧 V_R が印加される。このとき、記憶素子1の分極状態は点Bの状態から点Hの状態に移り、接続部17に V_{ref0} が読み出される。

【0264】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0265】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0266】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変

化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0267】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0268】次に、スイッチング素子22の端子25に、スイッチング素子22の端子24と端子28とを接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子22の端子28を介して端子30から重み付け電圧積算素子23に入力される。なお、スイッチング素子22内の端子24と端子28との接続制御においては、3回目の読み出し時にスイッチング素子2をON状態に設定する前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0269】次に、重み付け電圧積算素子23において、端子29を介して入力された2回目の読み出し結果と端子30を介して入力された3回目の読み出し結果とが重み付けされた上で積算され、積算結果が端子31から出力される。

【0270】ここで、重み付け電圧積算素子23における重み付けにおいては、例えば、スイッチング素子22の端子26から判別機能素子4の端子14までの容量値とスイッチング素子22の端子27から重み付け電圧積算素子23を介して判別機能素子4までの容量値とを等しくし、かつ、該容量値に対してスイッチング素子22の端子28から重み付け電圧積算素子23の端子30までの容量値が4倍となるように設定する。それにより、重み付け積算素子23から出力される電圧は、 $(4V_{ref1} + V_{ref0}) / 5$ となり、 V_{ref0} よりも V_{ref1} に近づくこととなる。

【0271】その後、判別機能素子4において、端子14に入力された1回目の読み出し結果と、重み付け積算素子23から出力され、端子15に入力された積算結果との差に基づいて、記憶素子1から読み出されたデータが判別され、端子16から出力される。なお、判別機能素子4に、判別の実行を制御するための制御電圧が印加される制御端子が設けられている場合は、該制御端子に、判別の実行を制御するための制御電圧を印加し、それにより判別を開始し、結果を出力する。

【0272】次に、スイッチング素子3をOFF状態にする。なお、判別機能素子4に上述したような制御端子が設けられている場合は、該制御端子に制御信号を印加する前にスイッチング素子3をOFF状態にしてもよい。

【0273】その後、スイッチング素子18が設けられた場合においては、判別機能素子4から出力された判別結果が接続部17にフィードバックされ、記憶素子1に対して再書き込みが行われる。

【0274】上述したような一連の半導体装置の動作方法においては、データ“1”と“0”とで実際に出力される電圧を用いて参照電圧が発生されるので、従来のように決まったオフセット電圧を設けるよりも適切な参照電圧が発生させることができる。

【0275】それにより、データの読み出しができなくなるまでの寿命を延ばすことができる。

【0276】以下に、図7に示した半導体装置を用いた他のデータの読み出し方法について図8を参照して説明する。

【0277】図8は、図7に示した半導体装置を用いた他のデータの読み出し方法を説明するための図である。

【0278】本形態におけるデータの書き込み方法は、第1の実施の形態にて説明した方法と同様であるため、ここでの説明は省略する。

【0279】なお、本形態においては、記憶素子1からのデータの読み出しを3回行う。

【0280】また、本形態においては、時間の経過とともに記憶素子1に残留劣化が生じ、書き込まれたデータが“1”の場合の記憶素子1の分極状態は点Aの状態から点Cの状態に移っており、書き込まれたデータが“0”の場合の記憶素子1の分極状態は点Bの状態から点Dの状態に移っているものとする。

【0281】1回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すためのVRを印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0282】次に、スイッチング素子2をOFF状態にする。

【0283】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧VRが印加される。このとき、記憶素子1に書き込まれたデータが“1”の場合は、記憶素子1の分極状態が点Cの状態から点Eの状態に移り、接続部17にV1が読み出される。また、記憶素子1に書き込まれたデータは“0”の場合は、記憶素子1の分極状態が点Dの状態から点Fの状態に移り、接続部17にV0が読み出される。

【0284】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0285】また、記憶素子1に選択端子が設けられて

いる場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0286】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0287】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0288】次に、スイッチング素子22の制御端子25に、スイッチング素子22の端子24と端子26とを接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子22の端子26を介して端子14から判別機能素子4に入力される。なお、スイッチング素子22内の端子24と端子26との接続制御においては、スイッチング素子2をON状態にする前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0289】次に、スイッチング素子22をOFF状態とし、その後、上述した書き込み方法によって、記憶素子1にデータ“1”を書き込む。すなわち、記憶素子1には、読み出し電圧とは逆向きとなる電圧 V_{W1} が印加され、それにより、記憶素子1の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0290】2回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧 $-VR$ を印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0291】次に、スイッチング素子2をOFF状態に設定する。

【0292】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧 $-VR$ が印加される。このとき、記憶素子1の分極状態は点Aの状態から点Hの状態に移り、接続部17に V_{ref0} が読み出される。

【0293】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部

17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0294】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0295】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0296】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0297】ここで、2回目の読み出しで記憶素子1に印加する電圧は、1回目の読み出しで記憶素子1に印加する電圧とは逆向きとする。

【0298】次に、スイッチング素子22の端子25に、スイッチング素子22の端子24と端子27とを接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子22の端子27を介して端子29から重み付け電圧積算素子23に入力される。なお、スイッチング素子22内の端子24と端子27との接続制御においては、2回目の読み出し時にスイッチング素子2をON状態に設定する前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0299】次に、スイッチング素子2をOFF状態とし、記憶素子1の分極状態を点Aの状態とする。

【0300】3回目の読み出しは、まず、スイッチング素子2の端子7に記憶素子1からデータを読み出すための電圧 VR を印加し、その後、端子9に制御電圧を印加することによりスイッチング素子2をON状態にし、それにより、接続部17における電位を端子7に印加された電位とする。

【0301】次に、スイッチング素子2をOFF状態に設定する。

【0302】次に、記憶素子1の端子5に制御電圧を印加し、それにより、記憶素子1には読み出し電圧 VR が印加される。このとき、記憶素子1の分極状態は点Aの状態から点Gの状態に移り、接続部17に V_{ref1} が読み

出される。

【0303】また、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からデータを読み出すこともできる。

【0304】また、記憶素子1に選択端子が設けられている場合は、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にし、記憶素子1内のデータが接続部17に出力された後、選択端子により記憶素子1からの出力をOFF状態にする。また、出力可能状態において端子5に制御電圧を印加する方法もある。

【0305】また、該選択端子により記憶素子1内のデータを接続部17に出力できる状態にした後、記憶素子1の端子5をフローティング状態の接続部17と同じ電位に保持しておき、その後、端子5に印加する電圧を変化させ、端子5と接続部17との電位差を読み出し電圧として記憶素子1に印加することにより、記憶素子1からのデータを接続部17に読み出すこともできる。

【0306】また、該選択端子により記憶素子1内のデータが接続部17に出力されない状態にしておき、端子5に制御電圧を印加し、その後、該選択端子により記憶素子1内のデータを接続部17に出力することができる状態にすることにより、記憶素子1内のデータをフローティング状態にある接続部17に読み出すことができる。

【0307】次に、スイッチング素子22の端子25に、スイッチング素子22の端子24と端子28とを接続するための制御電圧を印加する。それにより、接続部17に読み出されたデータがスイッチング素子22の端子28を介して端子30から重み付け電圧積算素子23に入力される。なお、スイッチング素子22内の端子24と端子28との接続制御においては、3回目の読み出し時にスイッチング素子2をON状態に設定する前や、記憶素子1内のデータを接続部17に出力させる前に行う方法もある。

【0308】次に、重み付け電圧積算素子23において、端子29を介して入力された2回目の読み出し結果と端子30を介して入力された3回目の読み出し結果とが重み付けされた上で積算され、積算結果が端子31から出力される。

【0309】ここで、重み付け電圧積算素子23における重み付けにおいては、例えば、スイッチング素子22の端子26から判別機能素子4の端子14までの容量値とスイッチング素子22の端子27から重み付け電圧積算素子23を介して判別機能素子4までの容量値とを等しくし、かつ、該容量値に対してスイッチング素子22の端子28から重み付け電圧積算素子23の端子30までの容量値が4倍となるように設定する。それにより、

重み付け積算素子23から出力される電圧は、 $(4V_{ref1} + V_{ref0})/5$ となり、 V_{ref0} よりも V_{ref1} に近づくこととなる。

【0310】その後、判別機能素子4において、端子14に入力された1回目の読み出し結果と、重み付け積算素子23から出力され、端子15に入力された積算結果との差に基づいて、記憶素子1から読み出されたデータが判別され、端子16から出力される。なお、判別機能素子4に、判別の実行を制御するための制御電圧が印加される制御端子が設けられている場合は、該制御端子に、判別の実行を制御するための制御電圧を印加し、それにより判別を開始し、結果を出力する。

【0311】次に、スイッチング素子3をOFF状態にする。なお、判別機能素子4に上述したような制御端子が設けられている場合は、該制御端子に制御信号を印加する前にスイッチング素子3をOFF状態にしてもよい。

【0312】その後、スイッチング素子18が設けられた場合においては、判別機能素子4から出力された判別結果が接続部17にフィードバックされ、記憶素子1に対して書き込みが行われる。

【0313】上述したような一連の半導体装置の動作方法においては、データ“1”と“0”とで実際に出力される電圧を用いて参照電圧が発生されるので、従来のように決まったオフセット電圧を設けるよりも適切な参照電圧が発生させることができる。

【0314】それにより、データの読み出しができなくなるまでの寿命を延ばすことができる。

【0315】

【実施例】以下に、上述した実施の形態を用いた具体的な実施例について説明する。

【0316】(第1の実施例) 図9は、図2に示した半導体装置の一実施例を示す図であり、2行2列のメモリアレイを示している。

【0317】図9に示すように本実施例においては、ワード線W1、W2、ビット線BL1、BL2及びプレート線PL1、PL2によって互いに接続された複数のメモリセル100a~100dがアレイ状に配置されている。なお、本実施例においては、メモリセル100a~100dのうち、メモリセル100aを用いた構成及び動作について説明するが、他のメモリセル100b~100dの構成及び動作はメモリセル100aのものと同様である。

【0318】本実施例は図9に示すように、図2に示した記憶素子1として設けられたトランジスタ33及び強誘電体容量32と、図2に示したスイッチング素子2として設けられたトランジスタ34と、図2に示したスイッチング素子3として設けられたトランジスタ35、36と、図2に示した判別機能素子4として設けられた差動センスアンプ37とから構成されている。

【0319】なお、強誘電体容量32の一方の電極はプレート線PL1に接続され、他方の電極はトランジスタ33のソースに接続されている。

【0320】また、トランジスタ33のゲート端子T2にはワード線W1が接続されており、トランジスタ33のドレイン端子にはビット線38が接続されている。

【0321】また、トランジスタ34はビット線38の一端に設けられ、ゲート端子T4はビット制御線BCに接続されている。

【0322】また、トランジスタ35、36のソースはビット線38の他端に接続され、トランジスタ35、36のドレインは差動センスアンプ37の互いに異なる入力にそれぞれ接続され、トランジスタ35、36のゲート端子T5、T6はそれぞれ、出力制御線OC1、OC2に接続されている。

【0323】また、差動センスアンプ37の動作を制御するための制御端子T7は出力制御線OC3に接続されている。

【0324】以下に、上記のように構成された半導体装置の駆動方法について図1、図9及び図10を用いて説明する。

【0325】図10は、図9に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【0326】ここで、プレート線PL1の電位、すなわち端子T1に印加される電圧は常に2.5V一定とする。

【0327】まず、強誘電体容量32に対するデータの書き込み方法について説明する。

【0328】まず、ビット制御線BCによって端子T4に制御電圧を印加し(t1)、それにより、トランジスタ34をON状態とする。

【0329】また、端子3に強誘電体容量32に書き込むデータに基づく電圧を印加する。強誘電体容量32に書き込むデータが“1”の場合は5V、“0”の場合は0Vを印加する。

【0330】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t2)、それにより、トランジスタ33をON状態にする。

【0331】これにより、端子3に印加された電圧が強誘電体容量32にかかり、強誘電体33が、該電圧によって分極する。

【0332】ここで、データ“1”が書き込まれる場合に強誘電体容量32にかかる電圧はVW1となり、強誘電体容量32の分極状態は点Kの状態となる。また、データ“0”が書き込まれる場合に強誘電体容量32にかかる電圧はVW0となり、強誘電体容量32の分極状態は点Lの状態となる。

【0333】次に、端子T3における電位を2.5Vに設定する(t3)。

【0334】その後、トランジスタ33、34をOFF状態にすることで(t4)、強誘電体容量32へのデータの書き込みが完了する。なお、このとき、強誘電体容量32の分極状態は、書き込まれたデータが“1”の場合は点Aの状態になり、また、書き込まれたデータが“0”の場合は点Bの状態になる。

【0335】次に、強誘電体容量32からのデータの読み出し方法について説明する。なお、本実施例においては、強誘電体容量32からのデータの読み出しを2回行い、2回目の読み出し電圧を参照電圧として用い、1回目の読み出し電圧を参照電圧と比較することによりデータの判別を行う。

【0336】また、本実施例においては、時間の経過とともに強誘電体容量32に残留劣化が生じ、書き込まれたデータが“1”の場合の分極状態は点Aから点Cの状態に移っており、書き込まれたデータが“0”の場合の分極状態は点Bから点Dの状態に移っているものとする。

【0337】1回目の読み出しは、まず、端子T3に0Vを印加し(t5)、その後、ビット制御線BCによって端子T4に制御電圧を印加し(t6)、それにより、トランジスタ34をON状態にし、ビット線38を0Vに設定する。

【0338】次に、トランジスタ34をOFF状態にして(t7)、ビット線38をフローティング状態にする。

【0339】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t8)、それにより、トランジスタ33をON状態にする。これにより、強誘電体容量32には2.5Vの読み出し電圧VRが印加されることになり、分極の方向によりビット線38の電位が異なる値となる。すなわち、強誘電体容量32から読み出されるデータが“1”の場合は、強誘電体容量32の分極状態が点Eの状態となり、ビット線38にV1が読み出される。また、強誘電体容量32から読み出されるデータが“0”の場合は、強誘電体容量32の分極状態が点Fの状態となり、ビット線38にV0が読み出される。

【0340】次に、出力制御線OC1によって端子T5に制御電圧を印加し(t9)、トランジスタ35をON状態とする。それにより、強誘電体容量32からビット線38に読み出された電圧が差動センスアンプ37の一方の入力に印加される。

【0341】次に、トランジスタ35をOFF状態にする(t10)。

【0342】その後、データが読み出された強誘電体容量32に、上述した方法によってデータ“1”を書き込む(t11～t14)。それにより、強誘電体容量32の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0343】2回目の読み出しは、まず、端子T3に1

Vを印加し(t15)、その後、ビット制御線BCによって端子T4に制御電圧を印加してトランジスタ34をON状態にし、それにより、ビット線38を1Vに設定する。

【0344】次に、トランジスタ34をOFF状態にする。

【0345】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t18)、トランジスタ33をON状態にする。それにより、強誘電体容量32に1.5Vの電圧VBが印加され、強誘電体容量32の分極状態は点Aから点Gの状態に移る。なお、このとき、強誘電体容量32にデータ“1”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0346】次に、端子T3に2.5Vを印加し、その後、ビット制御線BCによって端子T4に制御電圧を印加して(t19)、トランジスタ34をON状態にし、それにより、ビット線38を2.5Vに設定する。これにより、強誘電体容量32にかかる電圧は0Vとなり、強誘電体容量32の分極状態は点Hの状態となつて、強誘電体容量32の残留分極はとて小さくなる。

【0347】一般的に、強誘電体は残留分極が小さな領域では電圧が変化しても分極量の変化は小さいため、電圧VBが変動したり、ヒステリシスが変形した場合においても小さな分極量が得られる。

【0348】次に、トランジスタ33をOFF状態にし(t20)、その後、端子T3に0Vを印加し(t21)、それにより、ビット線38を0Vに設定する。

【0349】次に、トランジスタ34をOFF状態にする(t22)。

【0350】その後、ワード線W1を操作して端子T2に制御電圧を印加し(t23)、それにより、トランジスタ33をON状態にする。それにより、強誘電体容量32に2.5Vが印加される。このとき、強誘電体容量32の分極状態は点Iの状態となり、ビット線38に読み出される電位はVrefとなる。なお、VrefはV1とV0との間の電圧であるため、参照電圧Vrefとして使用できる。

【0351】次に、出力制御線OC3によって端子T6に制御電圧を印加し(t24)、トランジスタ36をON状態とする。それにより、2回目の読み出し動作によって強誘電体容量32からビット線38上に読み出された電圧が差動センスアンプ37の他方の入力に印加される。

【0352】次に、トランジスタ36をOFF状態にする(t25)。

【0353】その後、出力制御線OC3によって端子T7に制御電圧を印加することにより(t26)、差動センスアンプ37を動作させる。すると、差動センスアンプ37において、2つの入力の大小に基づいて、強誘電体容量32から読み出されたデータが判別され、判別結

果が端子T8から“Hi”あるいは“Low”として出力される。

【0354】なお、本実施例においては、VBを強誘電体容量32とビット線38容量の直列構造に印加しているが、トランジスタ34をON状態としておき、端子T1と端子T3とに電圧を印加し、強誘電体容量32にのみ電圧を印加することも考えられる。

【0355】(第2の実施例)以下に、図9に示した半導体装置の他の駆動方法について図3、図9及び図11を参照して説明する。

【0356】図11は、図9に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【0357】まず、強誘電体容量32に対するデータの書き込み方法について説明する。

【0358】まず、ビット制御線BCによって端子T4に制御電圧を印加し(t1)、それにより、トランジスタ34をON状態とする。

【0359】また、端子3に強誘電体容量32に書き込むデータに基づく電圧を印加する。強誘電体容量32に書き込むデータが“1”の場合は5V、“0”の場合は0Vを印加する。

【0360】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t2)、それにより、トランジスタ33をON状態にする。

【0361】次に、プレート線PL1によって端子T1に印加する電圧を5Vから0Vに変化させる(t3)。これにより、強誘電体容量32にはデータにより異なる向きに電圧がかかり、2方向に分極する。

【0362】ここで、データ“1”が書き込まれる場合に強誘電体容量32にかかる電圧はVW1となり、強誘電体容量32の分極状態は点Kの状態となる。また、データ“0”が書き込まれる場合に強誘電体容量32にかかる電圧はVW0となり、強誘電体容量32の分極状態は点Lの状態となる。

【0363】次に、端子T3における電位を0Vとする(t4)。

【0364】その後、トランジスタ33、34をOFF状態にすることで(t5)、強誘電体容量32へのデータの書き込みが完了する。なお、このとき、強誘電体容量32の分極状態は、書き込まれたデータが“1”の場合は点Aの状態になり、また、書き込まれたデータが“0”の場合は点Bの状態になる。

【0365】次に、強誘電体容量32からのデータの読み出し方法について説明する。なお、本実施例においては、強誘電体容量32からのデータの読み出しを2回行い、2回目の読み出し電圧を参照電圧として用い、1回目の読み出し電圧を参照電圧と比較することによりデータの判別を行う。

【0366】また、本実施例においては、時間の経過と

ともに強誘電体容量32に残留劣化が生じ、書き込まれたデータが“1”の場合の分極状態は点Aから点Cの状態に移っており、書き込まれたデータが“0”の場合の分極状態は点Bから点Dの状態に移っているものとする。

【0367】1回目の読み出しは、まず、端子T3に0Vを印加し、その後、ビット制御線BCによって端子T4に制御電圧を印加し(t6)、それにより、トランジスタ34をON状態にし、ビット線38を0Vに設定する。

【0368】次に、トランジスタ34をOFF状態にして(t7)、ビット線38をフローティング状態にする。

【0369】次に、プレート線PLによって端子T1に5Vを印加する(t8)。

【0370】また、ワード線W1を操作して端子T2に制御電圧を印加し、それにより、トランジスタ33をON状態にする。これにより、強誘電体容量32とビット線38の容量CBLに5Vの電圧がかかることになり、分極の方向によりビット線38の電位が異なる値となる。すなわち、強誘電体容量32から読み出されるデータが“1”の場合は、強誘電体容量32の分極状態が点Eの状態となり、ビット線38にV1が読み出される。また、強誘電体容量32から読み出されるデータが“0”の場合は、強誘電体容量32の分極状態は点Fの状態となり、ビット線38にV0が読み出される。

【0371】次に、出力制御線OC1によって端子T5に制御電圧を印加し(t9)、トランジスタ35をON状態とする。それにより、強誘電体容量32からビット線38に読み出した電圧が差動センスアンプ37の一方の入力に印加される。

【0372】次に、トランジスタ35をOFF状態とする(t10)。

【0373】次に、プレート線PLによって端子T1の電位を0Vとし(t11)、その後、上述した方法によってデータ“1”を書き込む(t12~t15)。それにより、強誘電体容量32の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0374】2回目の読み出しは、まず、端子T3に0Vを印加し、その後、ビット制御線BCによって端子4に制御電圧を印加して(t16)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。

【0375】次に、トランジスタ34をOFF状態にする(t17)。

【0376】次に、ワード線WL1を操作して端子2に制御電圧を印加し(t18)、トランジスタ33をON状態にする。

【0377】また、プレート線PL1によって端子T1に1.5Vを印加する。それにより、強誘電体容量32

に1.5Vの電圧が印加され、強誘電体容量32の分極状態は点Aの状態から点Gの状態に移る。なお、このとき、強誘電体容量32にデータ“1”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0378】次に、プレート線PL1によって端子T1の電位を0Vとするとともに(t19)、端子T3に0Vを印加し、さらに、ビット制御線BCを操作して端子4に制御電圧を印加して(t20)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。すると、強誘電体容量32の分極状態は点Gの状態から点Jの状態となり、その後、トランジスタ33、34をOFF状態にすると(t21)、強誘電体容量32の分極状態は点Hの状態となり、強誘電体容量32の残留分極が極めて小さなものとなる。

【0379】次に、端子T3に5Vを印加するとともに、ビット制御線BCによって端子T4に制御電圧を印加して(t22)。トランジスタ34をON状態とすることにより、ビット線38を5Vに設定し、その後、トランジスタ34をOFF状態にする(t23)。

【0380】次に、トランジスタ33をON状態にするとともに、プレート線PL1によって端子T1に0Vを印加すると(t24)、強誘電体容量32に-5Vの電圧がかかる。このとき、強誘電体容量32の分極状態は点Hの状態から点Iの状態に移り、ビット線38に読み出される電位はVrefとなる。なお、VrefはV1とV0との間の電圧であるため、参照電圧として使用できる。

【0381】次に、出力制御線OC3によって端子T6に制御電圧を印加し(t25)、トランジスタ36をON状態とする。それにより、2回目の読み出し動作によって強誘電体容量32からビット線38に読み出された電圧が差動センスアンプ37の他方の入力に印加される。

【0382】次に、トランジスタ36をOFF状態にする(t26)。

【0383】その後、出力制御線OC3によって端子T7に制御電圧を印加することにより(t27)、差動センスアンプ37を動作させる。すると、差動センスアンプ37において、2つの入力の大小に基づいて、強誘電体容量32から読み出されたデータが判別され、判別結果が端子T8から“Hi”あるいは“Low”として出力される。

【0384】なお、点Jの位置が図中右方向に移動すると点Hにおける残留分極量が大きくなってしまふ。このため、ビット線容量CBL(F)は、点Aにおける残留分極量をQr(C)、強誘電体容量の抗電圧をVc(V)とすると、 $Qr/Vc/1.5$ 以上であることが望ましい。

【0385】また、本実施例においては、VBを強誘電体容量32とビット線38容量の直列構造に印加しているが、トランジスタ34をON状態としておき、端子T

1と端子T3とに電圧を印加し、強誘電体容量32にのみ電圧を印加することも考えられる。

【0386】(第3の実施例) 上述した第1の実施例に示した2回目の読み出しにオフセット機構を追加することもできる。

【0387】図12は、図9に示した半導体装置にオフセット機構を設けた例を示す回路図である。

【0388】本実施例は図12に示すように、図9に示した回路に対して、ゲート端子T9がビット制御線BC2に接続され、ソースがトランジスタ36のドレインに接続されたトランジスタ39と、一方の電極が接地され、他方の電極がトランジスタ39のドレインに接続された容量40とが設けられて構成されている。

【0389】以下に、上記のように構成された半導体装置の駆動方法について図5、図12及び図13を参照して説明する。

【0390】図13は、図12に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【0391】ここで、プレート線PL1の電位、すなわち、端子T1に印加される電位は2.5V一定とする。

【0392】まず、強誘電体容量32に対するデータの書き込み方法について説明する。

【0393】まず、ビット制御線BCによって端子T4に制御電圧を印加し(t1)、それにより、トランジスタ34をON状態とする。

【0394】また、端子3に強誘電体容量32に書き込むデータに基づく電圧を印加する。強誘電体容量32に書き込むデータが“1”の場合は5V、“0”の場合は0Vを印加する。

【0395】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t2)、それにより、トランジスタ33をON状態にする。

【0396】これにより、端子3に印加された電圧が強誘電体容量32にかかり、強誘電体33が、該電圧によって分極する。

【0397】ここで、データ“1”が書き込まれる場合に強誘電体容量32にかかる電圧はVW1となり、強誘電体容量32の分極状態は点Kの状態となる。また、データ“0”が書き込まれる場合に強誘電体容量32にかかる電圧はVW0となり、強誘電体容量32の分極状態は点Lの状態となる。

【0398】次に、端子T3における電位を2.5Vに設定する(t3)。

【0399】その後、トランジスタ33、34をOFF状態にすることで(t4)、強誘電体容量32へのデータの書き込みが完了する。なお、このとき、強誘電体容量32の分極状態は、書き込まれたデータが“1”の場合は点Aの状態になり、また、書き込まれたデータが“0”の場合は点Bの状態になる。

【0400】次に、強誘電体容量32からのデータの読み出し方法について説明する。なお、本実施例においては、強誘電体容量32からのデータの読み出しを2回行い、2回目の読み出し電圧を参照電圧として用い、1回目の読み出し電圧を参照電圧と比較することによりデータの判別を行う。

【0401】また、本実施例においては、時間の経過とともに強誘電体容量32に残留劣化が生じ、書き込まれたデータが“1”の場合の分極状態は点Aから点Cの状態に移っており、書き込まれたデータが“0”の場合の分極状態は点Bから点Dの状態に移っているものとする。

【0402】1回目の読み出しは、まず、端子T3に0Vを印加し(t5)、その後、ビット制御線BCによって端子T4に制御電圧を印加し(t6)、それにより、トランジスタ34をON状態にし、ビット線38を0Vに設定する。

【0403】次に、トランジスタ34をOFF状態にして(t7)、ビット線38をフローティング状態にする。

【0404】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t8)、それにより、トランジスタ33をON状態にする。これにより、強誘電体容量32には2.5Vの読み出し電圧VRが印加されることになり、分極の方向によりビット線38の電位が異なる値となる。すなわち、強誘電体容量32から読み出されるデータが“1”の場合は、強誘電体容量32の分極状態が点Eの状態となり、ビット線38にV1が読み出される。また、強誘電体容量32から読み出されるデータが“0”の場合は、強誘電体容量32の分極状態が点Fの状態となり、ビット線38にV0が読み出される。

【0405】次に、出力制御線OC1によって端子T5に制御電圧を印加し(t9)、トランジスタ35をON状態とする。それにより、強誘電体容量32からビット線38に読み出された電圧が差動センスアンプ37の一方の入力に印加される。

【0406】次に、トランジスタ35をOFF状態にする(t10)。

【0407】その後、データが読み出された強誘電体容量32に、上述した方法によってデータ“1”を書き込む(t11～t14)。それにより、強誘電体容量32の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0408】2回目の読み出しは、まず、端子T3に0Vを印加し(t15)、その後、ビット制御線BCによって端子T4に制御電圧を印加して(t16)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。

【0409】次に、トランジスタ34をOFF状態にする(t17)。

【0410】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t18)、トランジスタ33をON状態にする。それにより、強誘電体容量32には2.5Vの読み出し電圧VRが印加される。このとき、強誘電体容量32の分極状態は点Gとなり、ビット線38に読み出される電位はVrefとなる。なお、このとき、強誘電体容量32にデータ“1”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0411】次に、出力制御線OC2によって端子T6に制御電圧を印加し(t19)、トランジスタ36をON状態にする。同時に、ビット制御線BC2によって端子T9に制御電圧を印加し、トランジスタ39をON状態にする。

【0412】それにより、2回目の読み出し動作によって強誘電体容量32からビット線38に読み出された電圧が差動センスアンプ37の他方の入力に印加される。

【0413】次に、トランジスタ36、39をOFF状態にする(t20)。

【0414】ここで、差動センスアンプ37に入力される2回目の読み出し電圧においては、トランジスタ39を介して容量40が付加されることにより電位が低下しており、それにより、差動センスアンプ37に印加される2つの入力にオフセットをつけることになる。このオフセットにより“1”を正しく判断する。

【0415】その後、出力制御線OC3によって端子T7に制御電圧を印加することにより(t21)、差動センスアンプ37を動作させる。すると、差動センスアンプ37において、2つの入力の大小に基づいて、強誘電体容量32から読み出されたデータが判別され、判別結果が端子T8から“Hi”あるいは“Low”として出力される。

【0416】なお、オフセットの発生方法としては、センスアンプを構成するトランジスタの特性をそれぞれの入力に対し異なるようにする方法、センスアンプ内の配線容量をそれぞれに入力で異ならせる方法、センスアンプの入力用量をそれぞれの入力端子で異ならせる方法がある。また、ビット線にデータを読み出す際にビット線容量を1回目と2回目で変更することでビット線容量による動作線をずらして出力電位を変化させる方法もある。

【0417】図5に示すように、点Gはヒステリシス上で読み出し電圧VRが変動した場合においても出力電圧の変動が小さくなる領域にあり、また、このため残留分極が劣化して動作点がずれても出力電圧の変動が小さい。

【0418】よって、本実施例を用いることにより従来例に比べオフセット電圧の内、電圧変動によるマージンを小さく見積ることができる。

【0419】(第4の実施例)図14は、図7に示した

半導体装置の一実施例を示す図であり、2行2列のメモリアレイを示している。

【0420】図14に示すように本実施例においては、ワード線W1、W2、ビット線BL1、BL2及びプレート線PL1、PL2によって互いに接続された複数のメモリセル100a~100dがアレイ状に配置されている。なお、本実施例においては、メモリセル100a~100dのうち、メモリセル100aを用いた構成及び動作について説明するが、他のメモリセル100b~100dの構成及び動作はメモリセル100aのものと同様である。

【0421】本実施例は図14に示すように、図7に示した記憶素子1として設けられたトランジスタ33及び強誘電体容量32と、図7に示したスイッチング素子2として設けられたトランジスタ34と、図7に示したスイッチング素子22として設けられたトランジスタ35、36、41と、図7に示した重み付け電圧積算素子23として設けられたトランジスタ42と、図7に示した判別機能素子4として設けられた差動センスアンプ37とから構成されている。

【0422】なお、強誘電体容量32の一方の電極はプレート線PL1に接続され、他方の電極はトランジスタ33のソースに接続されている。

【0423】また、トランジスタ33のゲート端子T2にはワード線W1が接続されており、トランジスタ33のドレイン端子にはビット線38が接続されている。

【0424】また、トランジスタ34はビット線38の一端に設けられ、ゲート端子T4はビット制御線BCに接続されている。

【0425】また、トランジスタ35、36、41のソースはビット線38の他端に接続され、トランジスタ35、36のドレインは差動センスアンプ37の互いに異なる入力にそれぞれ接続され、トランジスタ35、36、41のゲート端子T5、T6、T11はそれぞれ、出力制御線OC1、OC2、OC4に接続され、トランジスタ41のドレインはトランジスタ42のソースに接続されている。

【0426】また、トランジスタ42のゲート端子T12は出力制御線OC5に接続され、トランジスタ42のドレインはトランジスタ36のドレインに接続されている。

【0427】また、差動センスアンプ37の動作を制御するための制御端子T7は出力制御線OC3に接続されている。

【0428】以下に、上記のように構成された半導体装置の駆動方法について図6、図14及び図15を用いて説明する。

【0429】図15は、図14に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【0430】ここで、プレート線PL1の電位、すなわち端子T1に印加される電圧は常に2.5V一定とする。

【0431】まず、強誘電体容量32に対するデータの書き込み方法について説明する。

【0432】まず、ビット制御線BCによって端子T4に制御電圧を印加し(t1)、それにより、トランジスタ34をON状態とする。

【0433】また、端子3に強誘電体容量32に書き込むデータに基づく電圧を印加する。強誘電体容量32に書き込むデータが“1”の場合は5V、“0”の場合は0Vを印加する。

【0434】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t2)、それにより、トランジスタ33をON状態にする。

【0435】これにより、端子3に印加された電圧が強誘電体容量32にかかり、強誘電体33が、該電圧によって分極する。

【0436】ここで、データ“1”が書き込まれる場合に強誘電体容量32にかかる電圧はVW1となり、強誘電体容量32の分極状態は点Kの状態となる。また、データ“0”が書き込まれる場合に強誘電体容量32にかかる電圧はVW0となり、強誘電体容量32の分極状態は点Lの状態となる。

【0437】次に、端子T3における電位を2.5Vに設定する(t3)。

【0438】その後、トランジスタ33、34をOFF状態にすることで(t4)、強誘電体容量32へのデータの書き込みが完了する。なお、このとき、強誘電体容量32の分極状態は、書き込まれたデータが“1”の場合は点Aの状態になり、また、書き込まれたデータが“0”の場合は点Bの状態になる。

【0439】次に、強誘電体容量32からのデータの読み出し方法について説明する。なお、本実施例においては、強誘電体容量32からのデータの読み出しを3回行う。

【0440】また、本実施例においては、時間の経過とともに強誘電体容量32に残留劣化が生じ、書き込まれたデータが“1”の場合の分極状態は点Aから点Cの状態に移っており、書き込まれたデータが“0”の場合の分極状態は点Bから点Dの状態に移っているものとする。

【0441】1回目の読み出しは、まず、端子T3に0Vを印加し(t5)、その後、ビット制御線BCによって端子T4に制御電圧を印加し(t6)、それにより、トランジスタ34をON状態にし、ビット線38を0Vに設定する。

【0442】次に、トランジスタ34をOFF状態にして(t7)、ビット線38をフローティング状態にする。

【0443】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t8)、それにより、トランジスタ33をON状態にする。これにより、強誘電体容量32には2.5Vの読み出し電圧VRが印加されることになり、分極の方向によりビット線38の電位が異なる値となる。すなわち、強誘電体容量32から読み出されるデータが“1”の場合は、強誘電体容量32の分極状態が点Eの状態となり、ビット線38にV1が読み出される。また、強誘電体容量32から読み出されるデータが“0”の場合は、強誘電体容量32の分極状態が点Fの状態となり、ビット線38にV0が読み出される。

【0444】次に、出力制御線OC1によって端子T5に制御電圧を印加し(t9)、トランジスタ35をON状態とする。それにより、強誘電体容量32からビット線38に読み出された電圧が差動センスアンプ37の一方の入力に印加される。

【0445】次に、トランジスタ35をOFF状態にする(t10)。

【0446】その後、データが読み出された強誘電体容量32に、上述した方法によってデータ“1”を書き込む(t11～t14)。それにより、強誘電体容量32の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0447】2回目の読み出しは、まず、端子T3に0Vを印加し(t15)、その後、ビット制御線BCによって端子4に制御電圧を印加して(t16)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。

【0448】次に、トランジスタ34をOFF状態にする(t17)。

【0449】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t18)、トランジスタ33をON状態にする。それにより、強誘電体容量32に2.5Vの電圧VBが印加され、強誘電体容量32の分極状態は点Aから点Gの状態に移り、ビット線38にはVref1が読み出される。なお、このとき、強誘電体容量32にデータ“1”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0450】次に、出力制御線OC2により端子T6に制御電圧を印加して(t19)、トランジスタ36をON状態にし、それにより、2回目の読み出し電圧Vref1をトランジスタ36のドレイン容量に蓄積する。

【0451】次に、トランジスタ36をOFF状態にする(t20)。

【0452】その後、データが読み出された強誘電体容量32に、上述した方法によってデータ“0”を書き込む(t21～t24)。それにより、強誘電体容量32の分極状態は点Lの状態となり、その後、点Bの状態となる。

【0453】3回目の読み出しは、まず、端子T3に0Vを印加し(t25)、その後、ビット制御線BCにより端子T4に制御電圧を印加して(t26)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。

【0454】次に、トランジスタ34をOFF状態にする(t27)。

【0455】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t28)、トランジスタ33をON状態にする。それにより、強誘電体容量32に2.5Vの電圧VBが印加され、強誘電体容量32の分極状態は点Bから点Hの状態に移り、ビット線38にはVref0が読み出される。なお、このとき、強誘電体容量32にデータ“0”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0456】次に、出力制御線OC4により端子T11に制御電圧を印加して(t29)トランジスタ41をON状態にし、それにより、3回目の読み出し電圧Vref0をトランジスタ41のドレイン容量に蓄積する。

【0457】次に、トランジスタ41をOFF状態にする(t30)。

【0458】次に、出力制御線OC5により端子T12に制御電圧を印加して(t31)、トランジスタ42をON状態にする。すると、トランジスタ36のドレイン容量とトランジスタ41のドレイン容量との比によりそれぞれのドレイン容量の電圧が重み付けされ積算された電圧になり、該電圧が参照電圧として差動センスアンプ37の他方の入力に印加される。

【0459】次に、トランジスタ42をOFF状態にする(t32)。

【0460】その後、出力制御線OC3によって端子T7に制御電圧を印加することにより(t33)、差動センスアンプ37を動作させる。すると、差動センスアンプ37において、2つの入力の大小に基づいて、強誘電体容量32から読み出されたデータが判別され、判別結果が端子T8から“Hi”あるいは“Low”として出力される。

【0461】なお、重み付けについては、V1とVref1との差と、V0とVref0との差を比べると、前者の方が差が小さいため、Vref1の割合を大きくすることが望ましい。

【0462】本実施例によれば、参照電圧は実際のデータ“1”と“0”の出力結果を用いて発生させるため、従来のように一方のデータを用いる方法に比べ読み出しの寿命を延ばすことができる。

【0463】(第5の実施例)以下に、図14に示した半導体装置の他の駆動方法について図8、図14及び図16を参照して説明する。

【0464】図16は、図14に示した半導体装置の駆

動方法を説明するための各端子における電位を示すタイミングチャートである。

【0465】まず、強誘電体容量32に対するデータの書き込み方法について説明する。

【0466】まず、ビット制御線BCによって端子T4に制御電圧を印加し(t1)、それにより、トランジスタ34をON状態とする。

【0467】また、端子3に強誘電体容量32に書き込むデータに基づく電圧を印加する。強誘電体容量32に書き込むデータが“1”の場合は5V、“0”の場合は0Vを印加する。

【0468】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t2)、それにより、トランジスタ33をON状態にする。

【0469】これにより、端子3に印加された電圧が強誘電体容量32にかかり、強誘電体33が、該電圧によって分極する。

【0470】ここで、データ“1”が書き込まれる場合に強誘電体容量32にかかる電圧はVW1となり、強誘電体容量32の分極状態は点Kの状態となる。また、データ“0”が書き込まれる場合に強誘電体容量32にかかる電圧はVW0となり、強誘電体容量32の分極状態は点Lの状態となる。

【0471】次に、端子T3における電位を2.5Vに設定する(t3)。

【0472】その後、トランジスタ33、34をOFF状態にすることで(t4)、強誘電体容量32へのデータの書き込みが完了する。なお、このとき、強誘電体容量32の分極状態は、書き込まれたデータが“1”の場合は点Aの状態になり、また、書き込まれたデータが“0”の場合は点Bの状態になる。

【0473】次に、強誘電体容量32からのデータの読み出し方法について説明する。なお、本実施例においては、強誘電体容量32からのデータの読み出しを3回行う。

【0474】また、本実施例においては、時間の経過とともに強誘電体容量32に残留劣化が生じ、書き込まれたデータが“1”の場合の分極状態は点Aから点Cの状態に移っており、書き込まれたデータが“0”の場合の分極状態は点Bから点Dの状態に移っているものとする。

【0475】1回目の読み出しは、まず、端子T3に0Vを印加し(t5)、その後、ビット制御線BCにより端子T4に制御電圧を印加し(t6)、それにより、トランジスタ34をON状態にし、ビット線38を0Vに設定する。

【0476】その後、トランジスタ34をOFF状態にしてビット線38をフローティング状態にする(t7)。

【0477】次に、ワード線W1を操作して端子T2に

制御電圧を印加し(t8)、それにより、トランジスタ33をON状態にする。これにより、強誘電体容量32には2.5Vの読み出し電圧VBが印加されることになり、分極の方向により、ビット線38電位が異なる値となる。すなわち、強誘電体容量32から読み出されるデータが“1”の場合は、強誘電体容量32の分極状態は点Eの状態になり、ビット線38にV1が読み出される。また、強誘電体容量32から読み出されるデータが“0”の場合は、強誘電体容量32の分極状態が点Fの状態となり、ビット線38にV0が読み出される。

【0478】次に、出力制御線OC1によって端子T5に制御電圧を印加し(t9)、トランジスタ35をON状態とする。それにより、強誘電体容量32からビット線38に読み出された電圧が差動センスアンプ37の一方の入力に印加される。

【0479】次に、トランジスタ35をOFF状態とする(t10)。

【0480】次に、データが読み出された強誘電体容量32に、上述した方法によってデータ“1”を書き込む(t11~t14)。それにより、強誘電体容量32の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0481】2回目の読み出しは、まず、端子T3に5Vを印加し(t15)、その後、ビット制御線BCによって端子T4に制御電圧を印加して(t16)、トランジスタ34をON状態にし、それにより、ビット線38を5Vに設定する。

【0482】次に、トランジスタ34をOFF状態にする(t17)。

【0483】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t18)、トランジスタ33をON状態にする。それにより、強誘電体容量32に-2.5Vの電圧が印加され、強誘電体容量32の分極状態は点Aの状態から点Hの状態に移り、ビット線38にはVref0が読み出される。なお、このとき、強誘電体容量32にデータ“1”が書き込まれてからあまり時間が経過していないため、強誘電体容量32に残留分極の劣化が少ない。

【0484】次に、出力制御線OC2により端子T6に制御電圧を印加して(t19)、トランジスタ36をON状態にし、それにより、2回目の読み出し電圧Vref0をトランジスタ36のドレイン容量に蓄積する。

【0485】次に、トランジスタ36をOFF状態にする(t20)。

【0486】次に、端子T3に2.5Vを印加するとともに、トランジスタ33をOFF状態とし(t21)、その後、ビット制御線BCにより端子T4に制御電圧を印加して(t22)、トランジスタ34をON状態にし、それにより、ビット線38を2.5Vに設定する。これにより、強誘電体容量32の分極状態は点Aの状態

となる。

【0487】3回目の読み出しは、まず、端子T3に0Vを印加するとともに、ビット制御線BCにより端子T4に制御電圧を印加して(t23)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。

【0488】次に、トランジスタ34をOFF状態にする(t24)。

【0489】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t25)、トランジスタ33をON状態にする。それにより、強誘電体容量32に2.5Vの電圧VBが印加され、強誘電体容量32の分極状態は点Aから点Gの状態に移り、ビット線38にはVref1が読み出される。なお、このとき、強誘電体容量32にデータ“1”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0490】次に、トランジスタ33をOFF状態とする(t26)。

【0491】次に、出力制御線OC4により端子T11に制御電圧を印加して(t27)、トランジスタ41をON状態にし、それにより、3回目の読み出し電圧Vref1をトランジスタ41のドレイン容量に蓄積する。

【0492】次に、トランジスタ41をOFF状態にする(t28)。

【0493】次に、出力制御線OC5により端子T12に制御電圧を印加して(t29)、トランジスタ42をON状態にする。すると、トランジスタ36のドレイン容量とトランジスタ41のドレイン容量との比によりそれぞれのドレイン容量の電圧が重み付けされ積算された電圧になり、該電圧が参照電圧として差動センスアンプ37の他方の入力に印加される。

【0494】次に、トランジスタ42をOFF状態にする(t30)。

【0495】その後、出力制御線OC3によって端子T7に制御電圧を印加することにより(t31)差動センスアンプ37を動作させる。すると、差動センスアンプ37において、2つの入力の大小に基づいて、強誘電体容量32から読み出されたデータが判別され、判別結果が端子T8から“Hi”あるいは“Low”として出力される。

【0496】本実施例によれば、参照電圧は実際のデータ“1”と“0”の出力結果を用いて発生させるため、従来のように一方のデータを用いる方法に比べ読み出しの寿命を延ばすことができる。

【0497】(第6の実施例)図14に示したトランジスタ36、41を直列構造にすることも考えられる。

【0498】図17は、本発明の半導体装置の第6の実施例を示す図である。

【0499】本実施例は図17に示すように、図14に

示したトランジスタ36、41が直列に接続された構造となっており、すなわち、図9に示したものに対して、トランジスタ36のドレインと差動センスアンプ37の入力との間にトランジスタ41がトランジスタ36側をソースとして直列に接続されており、ゲート端子T11は出力制御線OC4に接続されている。

【0500】以下に、上記のように構成された半導体装置の駆動方法について図6、図17及び図18を参照して説明する。

【0501】図18は、図17に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【0502】強誘電体容量32に対するデータの書き込み方法は第4の実施例において説明したものと同様であるため、ここでの説明は省略する。

【0503】次に、強誘電体容量32からのデータの読み出し方法について説明する。なお、本実施例においては、強誘電体容量32からのデータの読み出しを3回行う。

【0504】また、本実施例においては、時間の経過とともに強誘電体容量32に残留劣化が生じ、書き込まれたデータが“1”の場合の分極状態は点Aから点Cの状態に移っており、書き込まれたデータが“0”の場合の分極状態は点Bから点Dの状態に移っているものとする。

【0505】1回目の読み出しは、まず、端子T3に0Vを印加する(t5)。

【0506】次に、ビット制御線BCにより端子T4に制御電圧を印加し、それにより、トランジスタ34をON状態にしてビット線38を0Vに設定し、また、出力制御線OC1により端子T5に制御電圧を印加し、それにより、トランジスタ35をON状態にし、また、制御線OC2により端子T6に制御電圧を印加し、それにより、トランジスタ36をON状態にし、また、制御線OC4により端子T11に制御電圧を印加し、それにより、トランジスタ41をON状態にする(t6)。

【0507】次に、トランジスタ34～36、41をOFF状態にして(t7)、ビット線38をフローティング状態にする。

【0508】次に、ワード線W1を操作して端子T2に制御電圧を印加し、それにより、トランジスタ33をON状態にする(t8)。これにより、強誘電体容量32には2.5Vの電圧VRが印加されることになり、分極の方向により、ビット線38の電位が異なる値となる。すなわち、強誘電体容量32から読み出されるデータが“1”の場合は、強誘電体容量32の分極状態が点Eの状態となり、ビット線38にV1が読み出される。また、強誘電体容量32から読み出されるデータが“0”の場合は、強誘電体容量32の分極状態が点Fの状態となり、ビット線38にV0が読み出される。

【0509】次に、出力制御線OC1によって端子T5に制御電圧を印加し(t9)、トランジスタ35をON状態とする。それにより、強誘電体容量32からビット線38に読み出された電圧が差動センスアンプ37の一方の入力に印加される。

【0510】次に、トランジスタ35をOFF状態にする(t10)。

【0511】その後、データが読み出された強誘電体容量32に、上述した方法によってデータ“1”を書き込む(t11～t14)。それにより、強誘電体容量32の分極状態は点Kの状態となり、その後、点Aの状態となる。

【0512】2回目の読み出しは、まず、端子T3に0Vを印加し(t15)、その後、ビット制御線BCによって端子T4に制御電圧を印加して(t16)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。

【0513】次に、トランジスタ34をOFF状態にする(t17)。

【0514】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t18)、トランジスタ33をON状態にする。それにより、強誘電体容量32に2.5Vの電圧VBが印加され、強誘電体容量32の分極状態は点Aの状態から点Gの状態に移り、ビット線38にはVref1が読み出される。なお、このとき、強誘電体容量32にデータ“1”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0515】次に、出力制御線OC2により端子T6に制御電圧を印加してトランジスタ36をON状態にするとともに、出力制御線OC4により端子T11に制御電圧を印加してトランジスタ41をON状態にし、それにより、2回目の読み出し電圧Vref1をトランジスタ41のドレイン容量に蓄積する(t19)。

【0516】次に、トランジスタ36、41をOFF状態にする(t20)。

【0517】その後、データが読み出された強誘電体容量32に、上述した方法によってデータ“0”を書き込む(t21～t24)。それにより、強誘電体容量32の分極状態は点Lの状態となり、その後、点Bの状態となる。

【0518】3回目の読み出しは、まず、端子T3に0Vを印加し(t25)、その後、ビット制御線BCにより端子T4に制御電圧を印加して(t26)、トランジスタ34をON状態にし、それにより、ビット線38を0Vに設定する。

【0519】次に、トランジスタ34をOFF状態にする(t27)。

【0520】次に、ワード線W1を操作して端子T2に制御電圧を印加し(t28)、トランジスタ33をON

状態にする。それにより、強誘電体容量32に2.5Vの電圧VBが印加され、強誘電体容量32の分極状態は点Bの状態から点Hの状態に移り、ビット線38にはVref0が読み出される。なお、このとき、強誘電体容量32にデータ“0”が書き込まれてからあまり時間が経過していないため、強誘電体容量32の残留分極の劣化は少ない。

【0521】次に、出力制御線OC2により端子T6に制御電圧を印加して(t29)、トランジスタ36をON状態にし、それにより、3回目の読み出し電圧Vref0をトランジスタ36のドレイン容量に蓄積する。

【0522】次に、トランジスタ36をOFF状態にする(t30)。なお、トランジスタ33をON状態にする前にトランジスタ36をON状態にすることもできる。

【0523】次に、出力制御線OC4により端子11に制御電圧を印加して(t31)、トランジスタ41をON状態にする。すると、トランジスタ36のドレイン容量とトランジスタ41のドレイン容量との比によりそれぞれのドレイン容量の電圧が重み付けされ積算された電圧になり、該電圧が参照電圧として差動センスアンプ37の他方の入力に印加される。

【0524】その後、出力制御線OC3によって端子T7に制御電圧を印加することにより(t32)、差動センスアンプ37を動作させる。すると、差動センスアンプ37において、2つの入力の大小に基づいて、強誘電体容量32から読み出されたデータが判別され、判別結果が端子T8から“Hi”あるいは“Low”として出力される。

【0525】なお、重み付けについては、V1とVref1との差と、V0とVref0との差を比べると、前者の方が差が小さいため、Vref1の割合を大きくすることが望ましい。

【0526】本実施例によれば、第4の実施例に比べてトランジスタを1つ少なくできるという利点がある。

【0527】(第7の実施例)本発明は、上述したような強誘電体容量がトランジスタ内に組み込まれた一体型構造の半導体装置についても適用することができる。

【0528】図19は、本発明の第7の実施例を示す回路図である。また、図20は、図19に示す強誘電体容量32とトランジスタ43の構造を示す図であり、

(a)は上面図、(b)は(a)に示したB-B'断面図、(c)は(a)に示したA-A'断面図である。

【0529】本実施例は図19に示すように、図14に示したものに対して、メモリセル毎に強誘電体容量32と一体構造となるトランジスタ43が設けられて構成されており、トランジスタ43のゲートが強誘電体容量32及びトランジスタ33のソースに接続され、トランジスタ43のソースがビット線47に接続されている。

【0530】また、ビット線47の一端には、ゲート端

子T15がビット制御線BC2に接続されたトランジスタ44が設けられ、ビット線47の他端には、他方の入力に参照電圧が印加される差動センスアンプ45が接続されている。

【0531】また、差動センスアンプ37の出力端子T8とビット線38との間には、ゲート端子T19がビット制御線BC3に接続されたトランジスタ46が設けられている。

【0532】また、強誘電体容量32及びトランジスタ43の構造は図20に示すように、p型シリコンウェル501のチャネル領域510上に、高誘電体膜502、白金層503、強誘電体膜504及びゲート白金層505が順次積層されて構成され、p型シリコンウェル501のチャネル領域510の両側にn+型ソース領域とn+型ドレイン領域507とが形成されている。

【0533】また、ゲート白金層505及び白金層503にはアルミ配線508が接続されている。

【0534】以下に、上記のように構成された半導体装置の駆動方法について説明する。

【0535】まず、強誘電体容量32に対するデータの書き込み方法について説明する。

【0536】まず、トランジスタ33をOFF状態にし、端子T14とトランジスタ43のウェル、またはソース・ドレインとの間に電圧を印加し、強誘電体容量32を分極させる。例えば、強誘電体容量32に書き込むデータが“1”の場合は、端子T14に5V、“0”の場合は、端子T14に0Vを印加し、トランジスタ43のウェルを2.5Vとする。これにより、強誘電体容量32にはデータにより異なる向きに電圧がかかり、2方向に分極する。

【0537】その後、端子T14に2.5Vを印加し、それにより、強誘電体容量32へのデータの書き込みが完了する。

【0538】別の書き込み方法としては、トランジスタ33、34をON状態とし、端子T3と端子T14との間に電圧を印加し、強誘電体容量32を分極させ、電圧がかかった状態でトランジスタ33をOFF状態にする方法もある。

【0539】次に、通常動作中における強誘電体容量32からのデータの読み出し方法について説明する。

【0540】データの書き込みによりトランジスタ43のしきい値電圧は変化し、データによりトランジスタ43のソース・ドレイン間抵抗が異なっている。

【0541】端子T13に電圧を印加したとき、データによってビット線47の充電速度が異なるため、ある時間経過後に差動センスアンプ45を動作させ、端子T16に印加された参照電圧と比較することで、データを判別し、端子T18に結果を出力することができる。このとき、端子T14に読み出し電圧を印加する場合もある。

【0542】次に、データのリフレッシュ処理について説明する。

【0543】トランジスタ43のゲートに蓄えられた電荷が漏れて減少してしまうような場合、電荷を補償するリフレッシュ処理が必要となる。この場合、設定された時間内に前述のデータを読み出す手順と、読み出されたデータを当該セルに再度書き込むことで電荷を補償する。

【0544】次に、電源立ち上げ時のデータ復帰処理について説明する。

【0545】図21は、図19に示した半導体装置における電源立ち上げ時のデータ復帰処理を説明するための各端子における電位を示すタイミングチャートである。

【0546】1回目の読み出しは、まず端子T3に0Vを印加し(t1)、その後、ビット制御線BCにより端子T4に制御電圧を印加してトランジスタ34をON状態にし、ビット線38を0Vに設定するとともに、ワード線W1を操作して端子T2の制御電圧を印加し、それにより、トランジスタ33をON状態にする(t2)。

【0547】次に、トランジスタ34をOFF状態にして(t3)、ビット線38をフローティング状態にする。

【0548】次に、端子T14に電圧を印加し(t4)、それにより、強誘電体容量32とビット線38容量に電圧をかける。強誘電体容量32の分極量により、ビット線38の電位は異なる値となる。

【0549】次に、出力制御線OC1により端子T5に制御電圧を印加して(t5)、トランジスタ35をON状態とし、それにより、ビット線38に読み出された電圧が差動センスアンプ37の一方の入力に印加される。

【0550】次に、トランジスタ35をOFF状態とする(t6)。

【0551】次に、上述した方法により強誘電体容量23にデータ“1”を書き込む(t8~t11)。

【0552】2回目の読み出しは、まず端子T3に0Vを印加し(t12)、その後、ビット制御線BCにより端子T4に制御電圧を印加してトランジスタ34をON状態にし、ビット線38を0Vに設定するとともに、ワード線W1を操作して端子T2の制御電圧を印加し、それにより、トランジスタ33をON状態にする(t13)。

【0553】次に、トランジスタ34をOFF状態にして(t14)、ビット線38をフローティング状態にする。

【0554】次に、端子T14に電圧を印加し(t15)、それにより、強誘電体容量32とビット線38容量に電圧をかける。このとき、書き込みからあまり時間がたっていないため残留分極の劣化は少ない。

【0555】次に、出力制御線OC2により端子T6に

制御電圧を印加して(t16)、トランジスタ36をON状態にし、それにより、2回目の読み出し電圧をトランジスタ36のドレイン容量に蓄積する。

【0556】次に、トランジスタ36をOFF状態にする(t17)。

【0557】その後、上述した方法で強誘電体容量23にデータ“0”を書き込む(t18~t23)。

【0558】3回目の読み出しは、まず端子T3に0Vを印加し(t24)、その後、ビット制御線BCにより端子T4に制御電圧を印加してトランジスタ34をON状態にし、ビット線38を0Vに設定するとともに、ワード線W1を操作して端子T2の制御電圧を印加し、それにより、トランジスタ33をON状態にする(t25)。

【0559】次に、トランジスタ34をOFF状態にして(t26)、ビット線38をフローティング状態にする。

【0560】次に、端子T14に電圧を印加し(t27)、それにより、強誘電体容量32とビット線38容量に電圧をかける。このとき、書き込みからあまり時間がたっていないため残留分極の劣化は少ない。

【0561】次に、出力制御線OC4により端子T11に制御電圧を印加して(t28)、トランジスタ41をON状態にし、それにより、3回目の読み出し電圧をトランジスタ41のドレイン容量に蓄積する。

【0562】次に、トランジスタ41をOFF状態にする(t29)。

【0563】次に、出力制御線OC5により端子T12に制御電圧を印加して(t30)、トランジスタ42をON状態にする。すると、トランジスタ36のドレイン容量とトランジスタ41のドレイン容量との比によりそれぞれのドレイン容量の電圧が重み付けされ積算された電圧になり、該電圧が参照電圧として差動センスアンプ37の他方の入力に印加される。

【0564】次に、トランジスタ42をOFF状態にする(t31)。

【0565】その後、出力制御線OC3によって端子T7に制御電圧を印加することにより(t32)、差動センスアンプ37を動作させる。すると、差動センスアンプ37において、2つの入力的大小に基づいて、強誘電体容量32から読み出されたデータが判別され、判別結果が端子T8から“Hi”あるいは“Low”として出力される。

【0566】このデータを強誘電体容量32に再度書き込むことにより、データ復帰処理が完了する。

【0567】なお、書き込み電圧が出力電圧と同じ場合は、ビット制御線BC3により端子T19に制御電圧を印加してトランジスタ46をON状態にし、ビット線38に出力電圧を与え、書き込み処理を行うことも可能である。

【0568】また、スイッチング素子を用いてビット線38、47のいずれか一方が入力されるようにすることで2つの差動センスアンプを1つにすることも可能である。また、電源立ち上げ時のデータ復帰処理方法については、第1の実施例から第6の実施例で説明した構造、読み出し方法も適用可能である。

【0569】本実施例によれば、参照電圧を実際のデータ“1”と“0”の出力結果を用いて発生させるため、従来のように一方のデータを用いる方法に比べ読み出しの寿命を延ばすことができる。

【0570】なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは言うまでもない。

【0571】

【発明の効果】以上説明したように本発明においては、記憶素子からデータを読み出す場合に、記憶素子がほとんど分極されていない状態を生成し、その状態の記憶素子から読み出されたデータを参照電圧とするため、参照電圧のマージンが小さくなり、記憶素子の残留分極量が減少した場合においても正確にデータを読み出すことができる。

【0572】また、記憶素子からデータを読み出す際に用いる参照電圧を、記憶素子の分極状態のヒステリシス曲線の傾きが急峻な部分の電圧とするため、上記同様の効果を奏する。

【0573】また、参照電圧に予め決められたオフセット量を付加した場合は、読み出されたデータと参照電圧の差異が大きくなり、さらに正確にデータを読み出すことができる。

【0574】また、複数の読み出し動作によって記憶素子から読み出された複数のデータを、予め決められた比率によって重み付けして積算して参照電圧とした場合においても、読み出されたデータと参照電圧の差異が大きくなるため、上記同様の効果を奏する。

【0575】これにより、長期間使用されている記憶素子に対しても正確にデータの読み出しを行うことができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の駆動方法の第1の実施の形態を説明するための図である。

【図2】図1を用いて説明する駆動方法を実現するための半導体装置の構成例を示す回路図である。

【図3】図2に示した半導体装置を用いた他のデータの書き込み方法及び読み出し方法を説明するための図である。

【図4】図2に示した半導体装置を用いたメモリアレイの一構成例を示す図である。

【図5】本発明の半導体装置の駆動方法の第2の実施の形態を説明するための図である。

【図6】本発明の半導体装置の駆動方法の第3の実施の

形態を説明するための図である。

【図7】図6を用いて説明する駆動方法を実現するための半導体装置の一構成例を示す回路図である。

【図8】図7に示した半導体装置を用いた他のデータの読み出し方法を説明するための図である。

【図9】図2に示した半導体装置の一実施例を示す図である。

【図10】図9に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【図11】図9に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【図12】図9に示した半導体装置にオフセット機構を設けた例を示す回路図である。

【図13】図12に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【図14】図7に示した半導体装置の一実施例を示す図である。

【図15】図14に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【図16】図14に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【図17】本発明の半導体装置の第6の実施例を示す図である。

【図18】図17に示した半導体装置の駆動方法を説明するための各端子における電位を示すタイミングチャートである。

【図19】本発明の第7の実施例を示す回路図である。

【図20】図19に示す強誘電体容量32とトランジスタ43の構造を示す図であり、(a)は上面図、(b)は(a)に示したB-B'断面図、(c)は(a)に示したA-A'断面図である。

【図21】図19に示した半導体装置における電源立ち上げ時のデータ復帰処理を説明するための各端子における電位を示すタイミングチャートである。

【図22】従来の半導体装置の一構成例を示す回路図である。

【図23】図22に示した半導体装置の特性変化を示す図である。

【図24】従来の半導体装置の他の構成例を示す回路図である。

【図25】従来の半導体装置の他の構成例を示す回路図である。

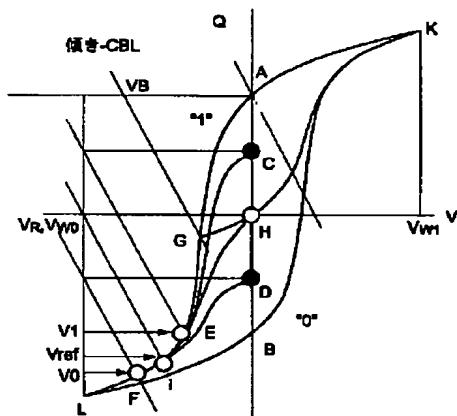
【図26】図25に示した半導体装置におけるデータの読み出し動作を説明するための図である。

【符号の説明】

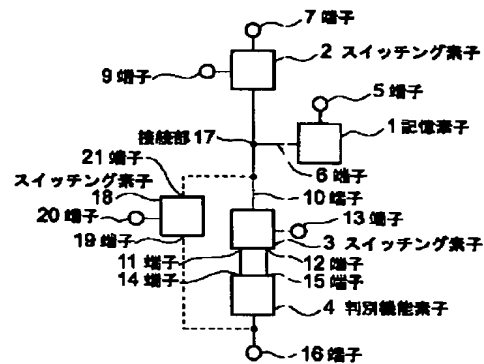
- 1 記憶素子
 2, 3, 18, 22 スイッチング素子
 4 判別機能素子
 5~16, 18~21, 24~31 端子
 17 接続部
 23 重み付け電圧積算素子
 32 強誘電体容量
 33~36, 39, 41~44, 46 トランジスタ
 37, 45 差動センスアンプ
 38, 47 ビット線
 40 容量

- 100a~100d メモリセル
 501 p型シリコンウェル
 502 高誘電体膜
 503 白金層
 504 強誘電体膜
 505 ゲート白金層
 506 n⁺型ソース領域
 507 n⁺型ドレイン領域
 508 アルミ配線
 509 シリコン酸化膜
 510 チャンネル領域

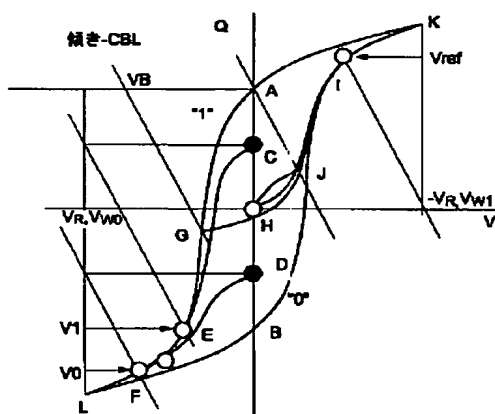
【図1】



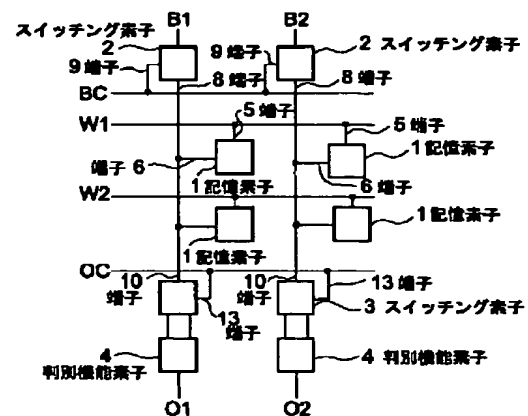
【図2】



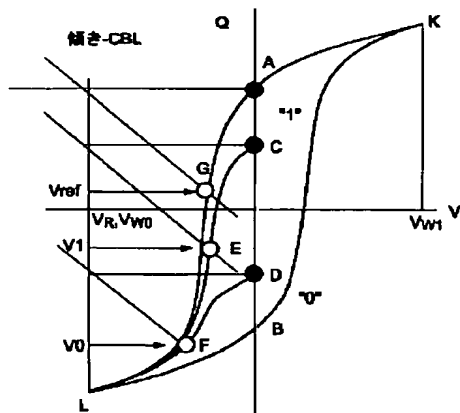
【図3】



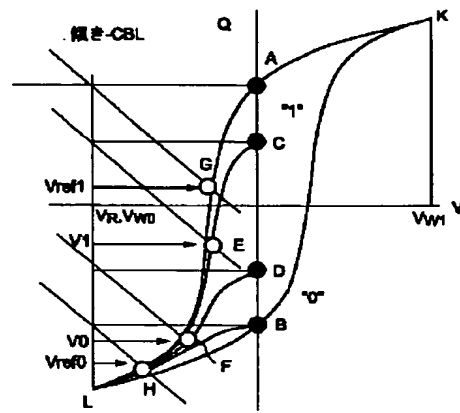
【図4】



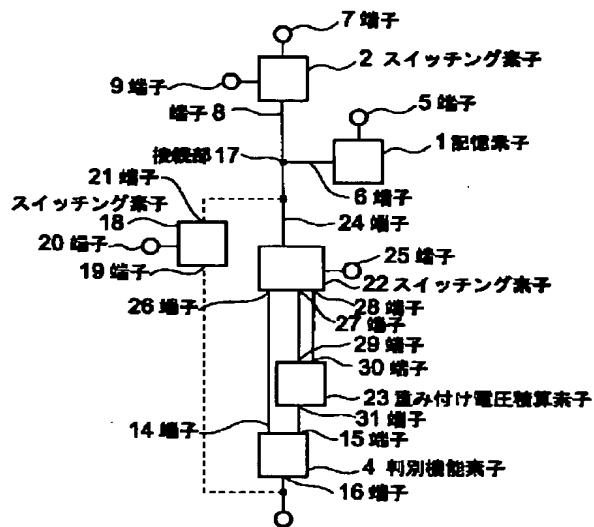
【図5】



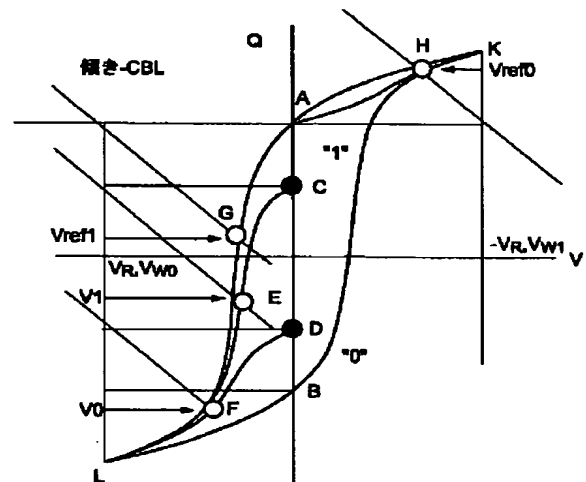
【図6】



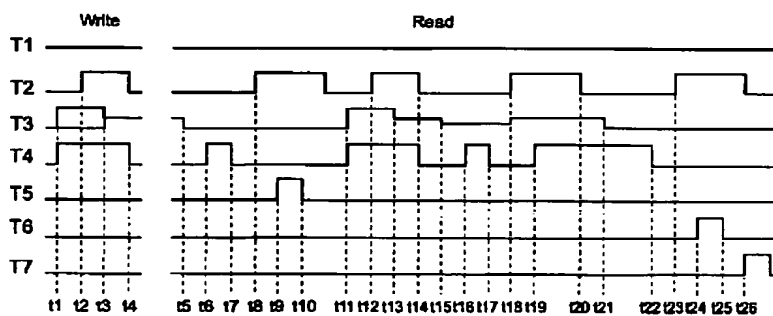
【図7】



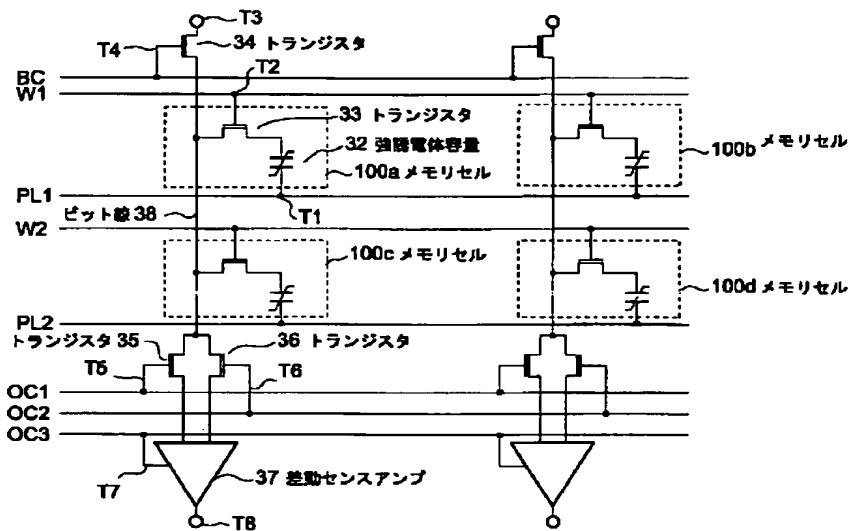
【図8】



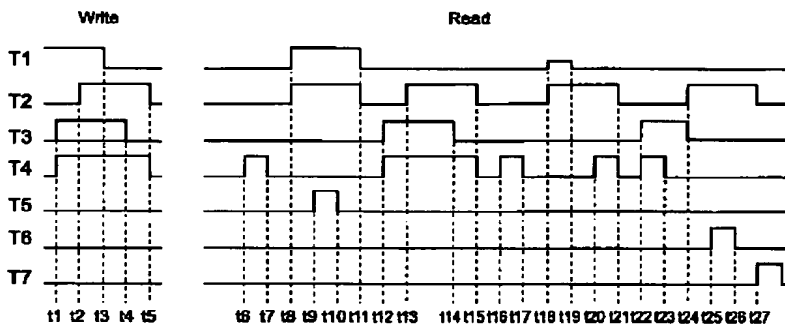
【図10】



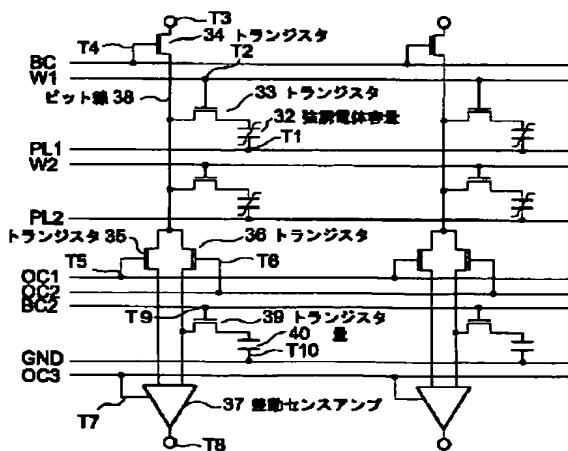
【図9】



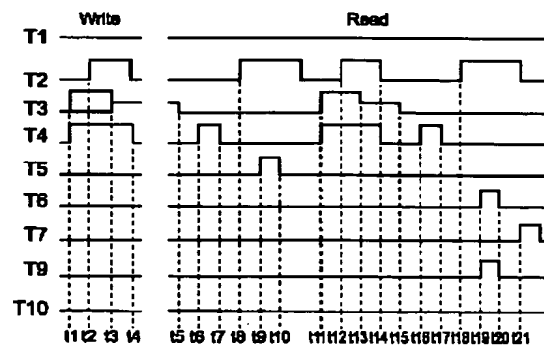
【図11】



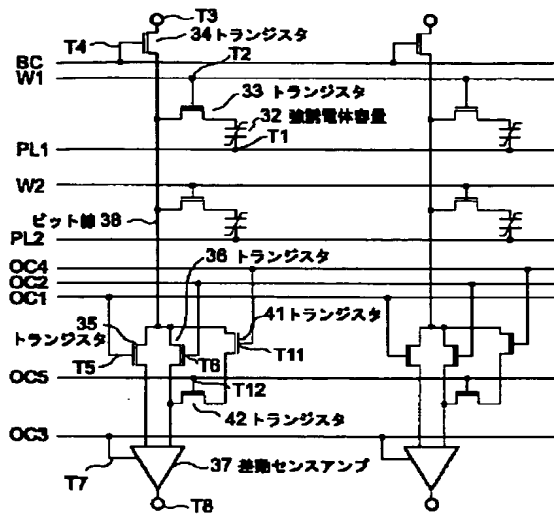
【図12】



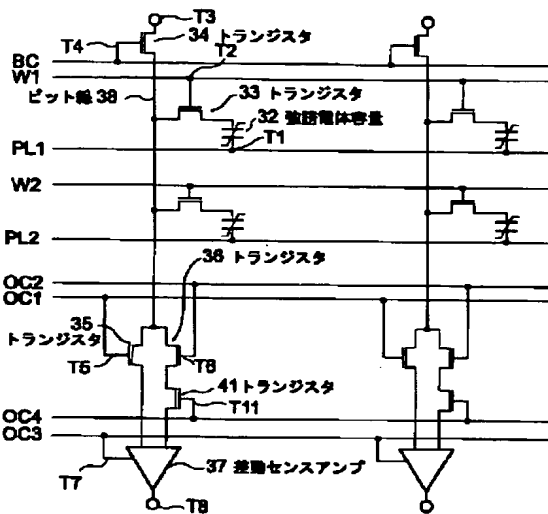
【図13】



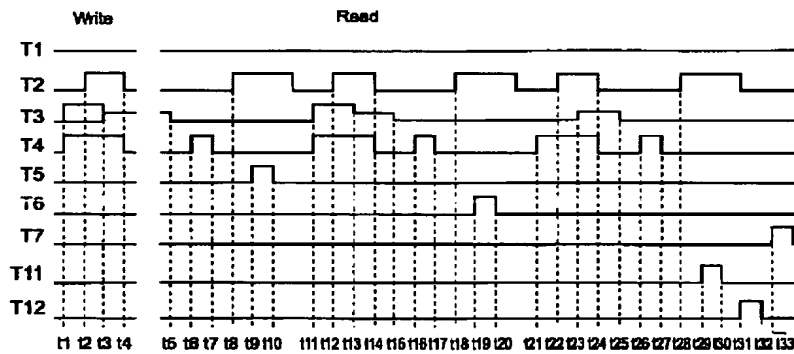
【図14】



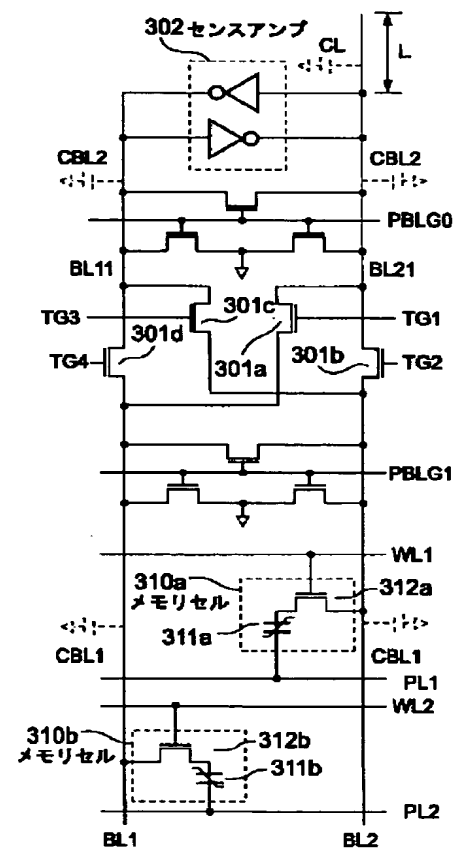
【図17】



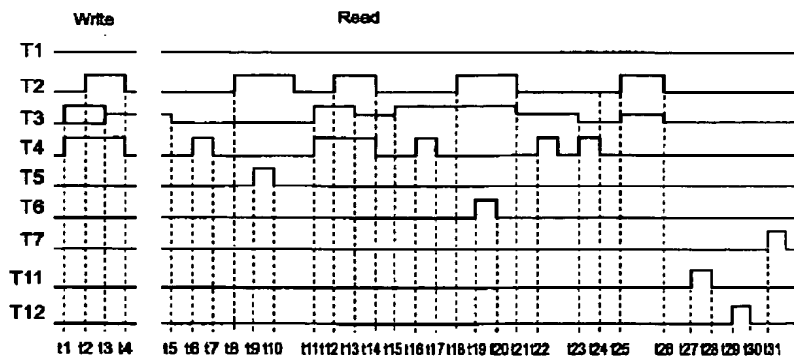
【図15】



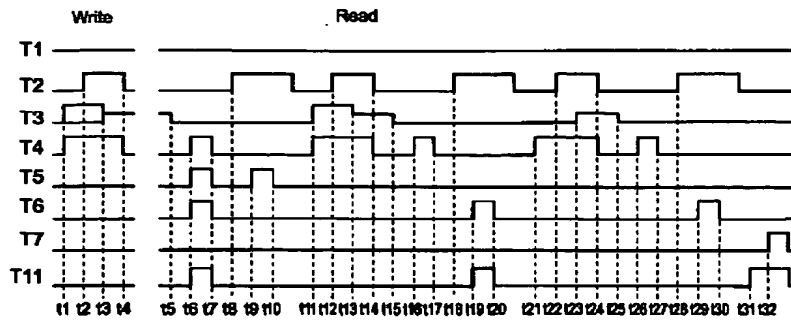
【図25】



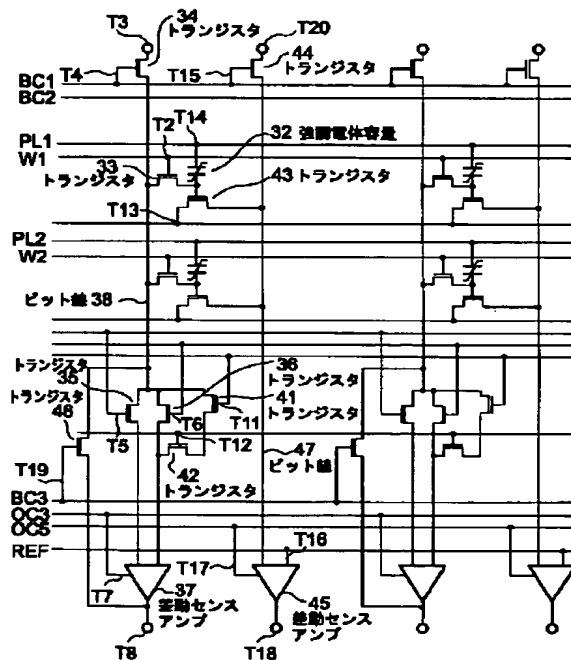
【図16】



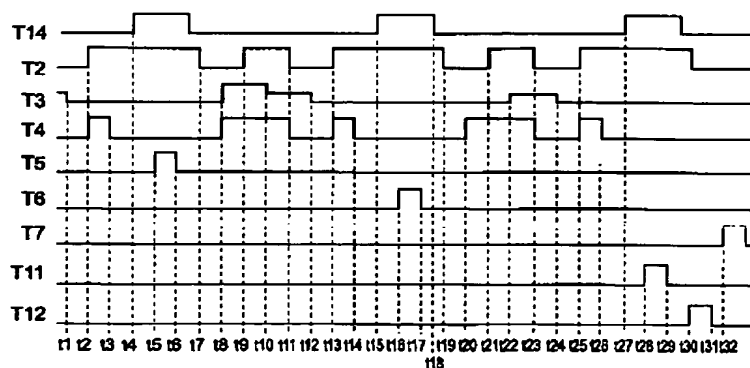
【図18】



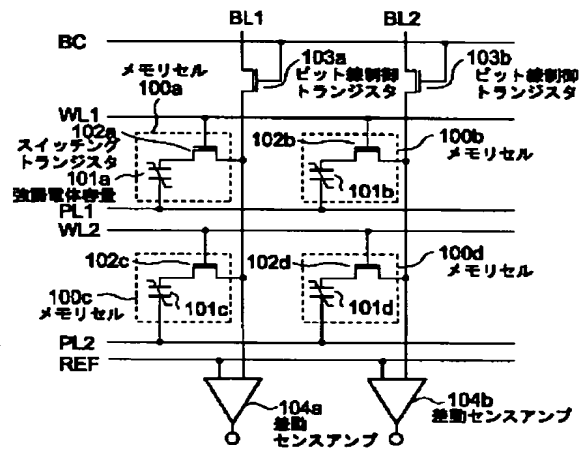
【図19】



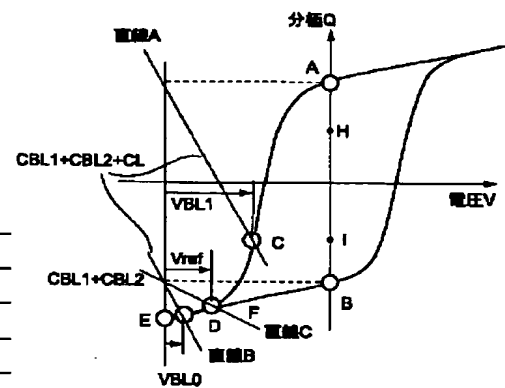
【図21】



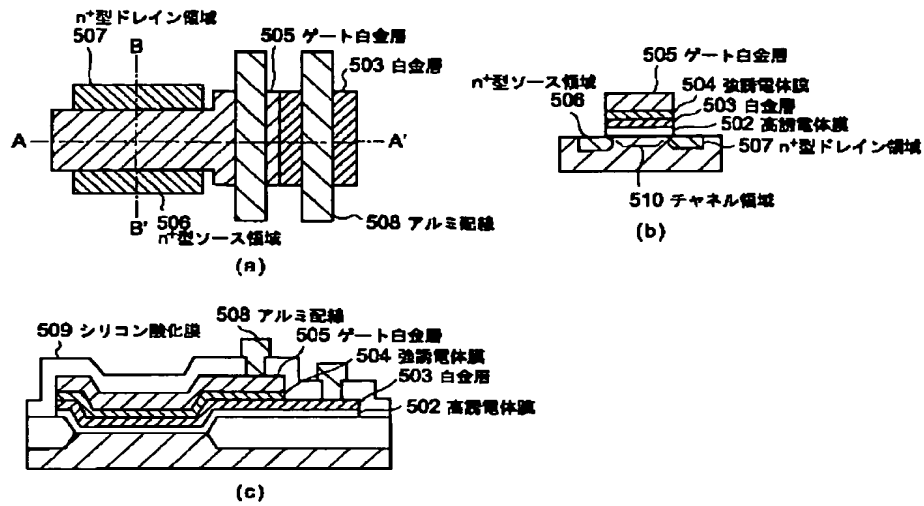
【図22】



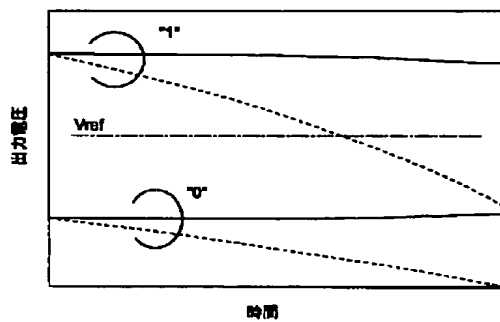
【図26】



【図20】



【図23】



【図24】

